产品特性

- 双路输出电压 3.3V/1.2V
- 可控制上电顺序
- 调整器 1 输出电流可达 1A，调整器 2 输出电流可达 2A
- 快速瞬态响应
- 复位端开漏输出，上电复位延迟 120ms（典型值）
- 调整器 1 输出状态指示 Power Good 端为开漏输出
- 超低静态电流，255μA（典型值）
- 低待机电流：10μA（典型值）
- 输出电容快速放电
- 双复位
- 输出精度 2%
- 欠压锁存特性（UVLO）
- 过热保护
- 24 线带热沉陶瓷扁平封装
- 抗总剂量能力 100krad（Si）

产品概述

LPS70345 型双路输出低压差线性稳压器可提供超低漏失电压及带有上电顺序控制的双路输出电压，主要应用于 DSP、FPGA、ASIC 和大规模数字集成电路等系统。电路具有低噪声特点，不需任何旁路电容，并且具有快速瞬态响应特点，为用户提供了完整的电源解决方案。

调整器 1 输出电流可达 1A，调整器 2 输出电流可达 2A。两路调整器具有各自的输入电压端，用户可根据需要配置。

功率管采用具有低导通电阻特性的 PMOS 器件，电路漏失电压很小（调整器 1 典型值 160mV）且与输出电流成正比；PMOS 功率管采用电压调整方式，电路整体静态功耗很小且与输出负载大小无关（全负载范围内静态功耗最大 250μA）。电路具有待机模式，当使能端为高时两路输出均关闭，电源电流可低至 10μA。

使能端接低电平时电路启动，两调整器的输出电压分别通过 V_{SENSE1} 和 V_{SENSE2} 端口进行监测。SEQ 端控制 LDO1 和 LDO2 的上电顺序，当器件使能并且 SEQ 被拉到高电位或悬空时 V_{OUT2} 首先打开，V_{OUT1} 仍关断，直到 V_{OUT2} 到达其输出电压的 83%时 V_{OUT1} 打开。在某些情况（如：过负载状态）下，若 V_{OUT2} 被拉低至其 83%以下时，V_{OUT1} 被关断。当 SEQ 为低时，上电顺序会改变，此时 V_{OUT1} 会先开启。SEQ 端内部连接一上拉电流源，当其悬空时，SEQ 端相当于被置为高电平。

每个调整器内部均有放电结构。当电路被关断时，通过放电结构可快速放掉输出电容上的多余电荷。

PG1 端指示调整器 1 的工作状态，可作为与调整器 1 输出相连电路的上电复位端。

$\overline{RESET}$ 端为开漏输出，低电平有效。正常工作时需接上拉电阻。当上拉时，$\overline{RESET}$ 端口在满足以下全部 3 个条件时，经约 120ms 延迟后进入高阻态：①V_{IN1} 必须在欠压锁存电压条件以上；②手动复位 $\overline{MR1}$、$\overline{MR2}$ 必须为高阻态；③V_{OUT2} 必须在其调节输出电压

的 95%以上。为监测 V_{OUT1}，PG1 端口可被连接至 $\overline{MR1}$ 或 $\overline{MR2}$。$\overline{RESET}$ 端口可用作上电复位端或低电指示端，$\overline{RESET}$ 端在不使用时可被悬空。

内部基准电压由 V_{IN1} 驱动。当 V_{IN1} 大于 2.8V 后，电路正常工作。每路调节器均具有欠压锁存功能，保证电路在输入电压大于 2.5V 时开启。

绝对最大额定参数

V_{IN1}、V_{IN2} 输入电压范围	−0.3 V～5.5V
$\overline{EN}$ 端口电压范围	−0.3 V～5.5V
$\overline{RESET}$，PG1 端最大电压	7.0V
$\overline{MR1}$、$\overline{MR2}$ 和 SEQ 端最大电压	V_{IN1}
结温（T_J）	150℃
储存温度范围（Tstg）	−65℃～150℃
最大功耗（P_D）	1.0 W(常温)
引线耐焊接温度（T_h）（10s）	300℃
静电放电敏感度（ESDS）	1000V

推荐工作条件

V_{IN1} 输入电压范围	4.3V～5.0V
V_{IN2} 输入电压范围	2.7V～5.0V
LDO1 输出电流	1mA～1.0A
LDO2 输出电流	1mA～2.0A
环境温度(T_A)	−55℃～125℃

电参数表

除另有规定外，测试条件如下：–55℃≤T_A≤125℃；V_{IN1}=4.3V、V_{IN2}≥2.7V，I_{OUT1}=1mA，I_{OUT2}=1mA ，$\overline{EN}$=0V，C_{OUT1}≥22μF，C_{OUT2}≥47μF。

参数名称		测试条件	极限值		单位
			最小值	最大值	
V_O 输出电压[a]	1.2V 输出(V_{OUT2})	2.7V<V_{IN2}<5.0V	1.176	1.224	V
	3.3V 输出(V_{OUT1})	4.3V<V_{IN1}<5.0V	3.234	3.366	V

参数名称		测试条件	极限值		单位
			最小值	最大值	
大电流下输出电压	$V_{OUT2(2.1A)}$	$V_{IN1}=V_{IN2}=5.0V$， $I_{OUT2}=2.1A$	1.116	1.284	V
	$V_{OUT1(1.1A)}$	$V_{IN1}=V_{IN2}=5.0V$，$I_{OUT1}=1.1A$	3.234	3.366	
静态电流（调节器 1 和 2 的地电流），$\overline{EN}=0V$ [a]		见[b]	—	250	μA
输出电压线性调整率（调节器 1 和 2）见[c]		$4.3V<V_{IN1}<5.0V$, $2.7V<V_{IN2}<5.0V$	—	0.1	%/V
V_{OUT1} 和 V_{OUT2} 的负载调整率[b]		$V_{IN1}= V_{IN2}=4.3V$	—	10	mV
			—	20	
I_I 待机电流		$\overline{EN}=V_{IN}$	—	10	μA
			—	20	
RESET 端口					
有效 $\overline{RESET}$ 的最小输入电压		$I_{RESET}=300\mu A$, $V_{(RESET)}$ ≤0.8V	—	1.6	V
Trip 阈值电压		降低 V_O	85	98	$\%V_O$
$t(\overline{reset})$		$\overline{RESET}$ 脉冲持续时间	60	180	ms
输出低电压		$V_{IN}=3.5V, I_{(RESET)}=1mA$	—	0.6	V
漏电流		$V_{(RESET)}=6V$	—	1.0	μA
PG1 端口					
有效 PG1 的最小输入电压		$I_{(PG1)}=300\mu A$, $V_{(PG1)}$ ≤0.8V	—	1.6	V
Trip 阈值电压		降低 V_O	85	98	$\%V_O$
输出低电压		$V_{IN}=2.7V, I_{(PG1)}=1mA$	—	0.6	V
漏电流		$V_{(PG1)}=6V$	—	1.0	μA
$\overline{EN}$端口					
$\overline{EN}$输入高电平			2.4	—	V
$\overline{EN}$输入低电平			—	0.6	V
输入电流($\overline{EN}$)			−5	5	μA
SEQ 端口					
SEQ 输入高电平			2.4	—	V
SEQ 输入低电平			—	0.6	V
MR1/MR2 端口					
输入高电平			2.4	—	V

参数名称	测试条件	极限值		单位
		最小值	最大值	
输入低电平		—	0.6	V
V_{OUT2} 端口				
V_{OUT2} 欠压（UV）比较器：在 V_{OUT1} 欠压（UV）比较器的正向输入阈值电压		70	95	$\%V_O$
V_{OUT1} 端口				
V_{OUT1} 欠压（UV）比较器：在 V_{OUT2} 欠压（UV）比较器的正向输入阈值电压		70	95	$\%V_O$
漏失电压[d]	I_O=1A,V_{IN1}=3.2V	—	255	mV
V_{IN1}/V_{IN2} 端口				
UVLO 阈值		2.0	3.0	V

[a] 最小输入工作电压 V_{IN1}=4.3V，V_{IN2}=2.7V，最大输入电压=5.0V；

[b] 对调节器 1，I_O=1mA~1.0A；对调节器 2，I_O=1mA~2.0A；

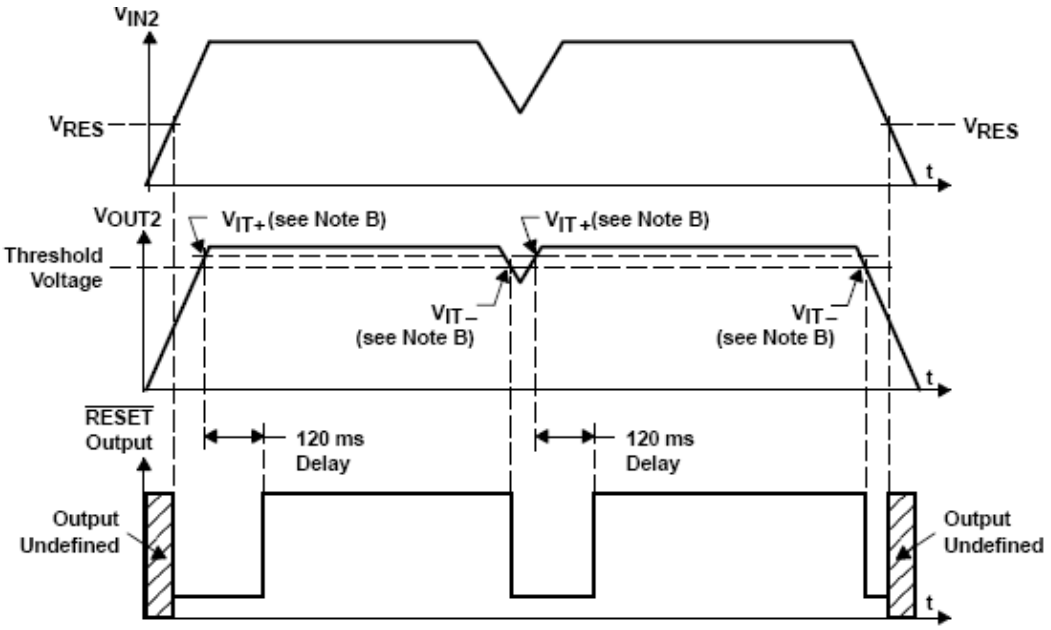
[c] 对于 V_{OUT2}(1.2V)输出：线性调整率（mV）=（%/V）×$V_O\frac{(5.0-2.7)}{100}$×1000

对于 V_{OUT1}(3.3V)输出：线性调整率（mV）=（%/V）×$V_O\frac{(5.0-4.3)}{100}$×1000；

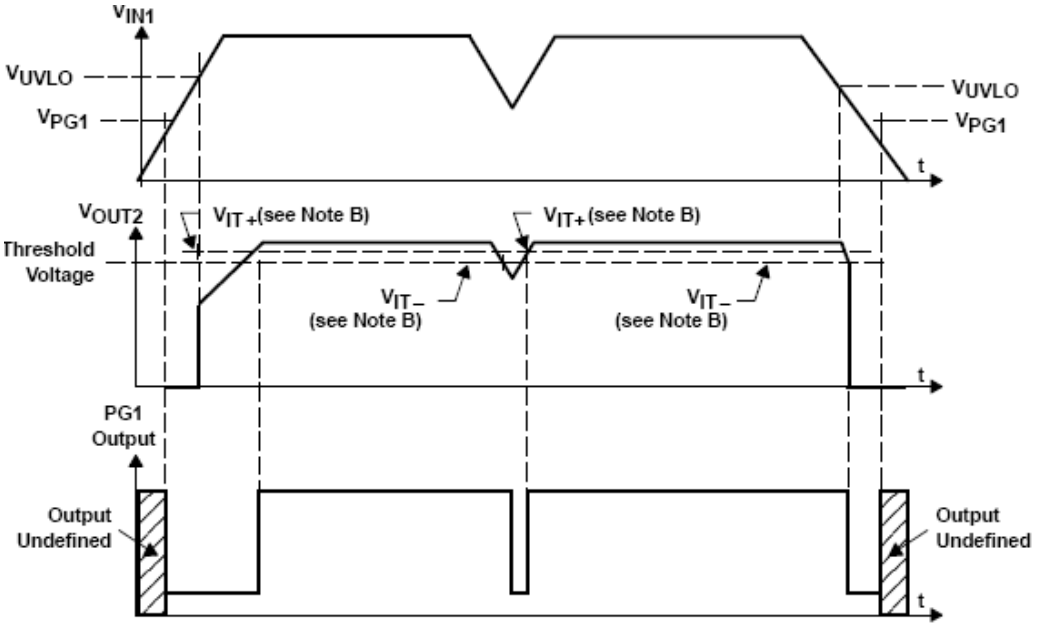
[d] 将输入电压设置为 3.2V 时测试。

典型工作特性

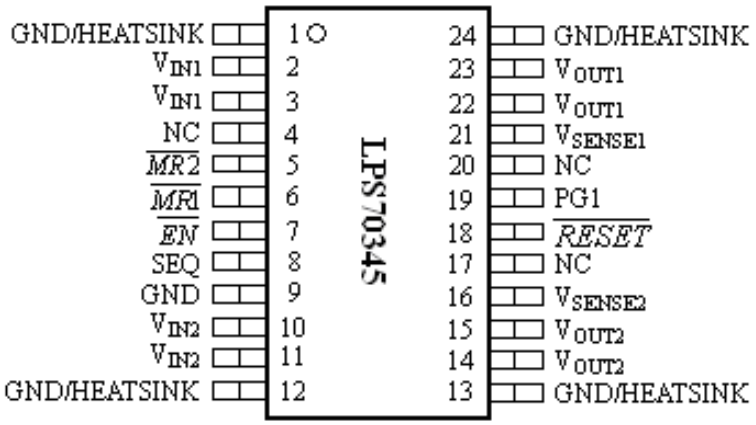
- $\overline{RESET}$ 时序图（当 V_{IN1} 开始启动，$\overline{MR1}$ 和 $\overline{MR2}$ 处于高电平）



- PG1 时序图



引脚描述



序号	符号	功能	序号	符号	功能
1	GND/HEATSINK	地/热沉	13	GND/HEATSINK	地/热沉
2	V_{IN1}	LDO1 输入电源	14	V_{OUT2}	LDO2 输出端
3	V_{IN1}	LDO1 输入电源	15	V_{OUT2}	LDO2 输出端
4	NC	空	16	V_{SENSE2}	LDO2 输出采样端
5	$\overline{MR2}$	手动复位 2	17	NC	空
6	$\overline{MR1}$	手动复位 1	18	$\overline{RESET}$	复位端
7	$\overline{EN}$	使能端	19	PG1	V_{OUT1} 输出指示端
8	SEQ	上电顺序控制端	20	NC	空
9	GND	地	21	V_{SENSE1}	LDO1 输出采样端
10	V_{IN2}	LDO2 输入电源	22	V_{OUT1}	LDO1 输出端
11	V_{IN2}	LDO2 输入电源	23	V_{OUT1}	LDO1 输出端
12	GND/HEATSINK	地/热沉	24	GND/HEATSINK	地/热沉

引脚功能

- **使能（$\overline{EN}$）**

使能端能够启动或关断电路。当使能为高电平时，电路关断；当使能为低电平时，电路启动。

- **上电顺序控制**（SEQ）

SEQ 端用来控制两路输出的上电顺序。当 SEQ 为高电平或悬空时，V_{OUT2} 先启动，此时 V_{OUT1} 保持关断。当 V_{OUT2} 电压达到正常值的 83%时，V_{OUT1} 启动。若出现 V_{OUT2} 被拉低到 83%以下时（例如：过载状态），V_{OUT1} 将被关断。该端口由 V_{IN1} 提供一个 6μA 的上拉电流。

当 SEQ 为低电平时，上电顺序改变，此时 V_{OUT1} 先启动。

- V_{OUT1} **输出指示端**（PG1）

该端口为开漏极输出端口，高电平有效，指示第一路输出电压的状态。当 V_{OUT1} 达到正常电压的 95%时，PG1 跳转为高阻态。当 V_{OUT1} 被拉低到 95%以下时，PG1 跳转为低阻态。PG1 引脚的开漏极输出需要一个上拉电阻。

- **手动复位**（$\overline{MR1}$，$\overline{MR2}$）

$\overline{MR1}$ 和 $\overline{MR2}$ 端为复位触发信号输入端，低电平有效。当是 $\overline{MR1}$ 或 $\overline{MR2}$ 被拉至低电平时，复位功能启动。该端口由 V_{IN1} 提供一个 6μA 上拉电流。若这些引脚不用时，推荐将其与 V_{IN} 连接。

- **采样检测**（V_{SENSE1}，V_{SENSE2}）

该端口为电压采样检测端。在电路内部，端口分别经过电阻分压网络、高阻抗宽带放大器及噪声采集通路连接到电压输出端。为了减少或消除噪声采集，必须尽可能的缩短与输出电压端的连接距离。不建议在 V_{SENSE} 端到 V_{OUT} 端之间添加 RC 滤波网络，因为这样能导致输出电压振荡。

- **复位指示**（$\overline{RESET}$）

$\overline{RESET}$ 端为开漏极输出，通过上拉电阻工作，低电平有效。当电路工作，满足以下三个条件时，$\overline{RESET}$ 端将经过 120ms 延迟后变为高阻态（高电平）。第一，V_{IN1} 电压大于最小工作电压；第二，手动复位端 $\overline{MR}$ 为高阻态；第三，V_{OUT2} 电压大于正常输出电压的 95%。为了监测 V_{OUT1}，$\overline{MR1}$ 或 $\overline{MR2}$ 可以与 PG1 端相连。

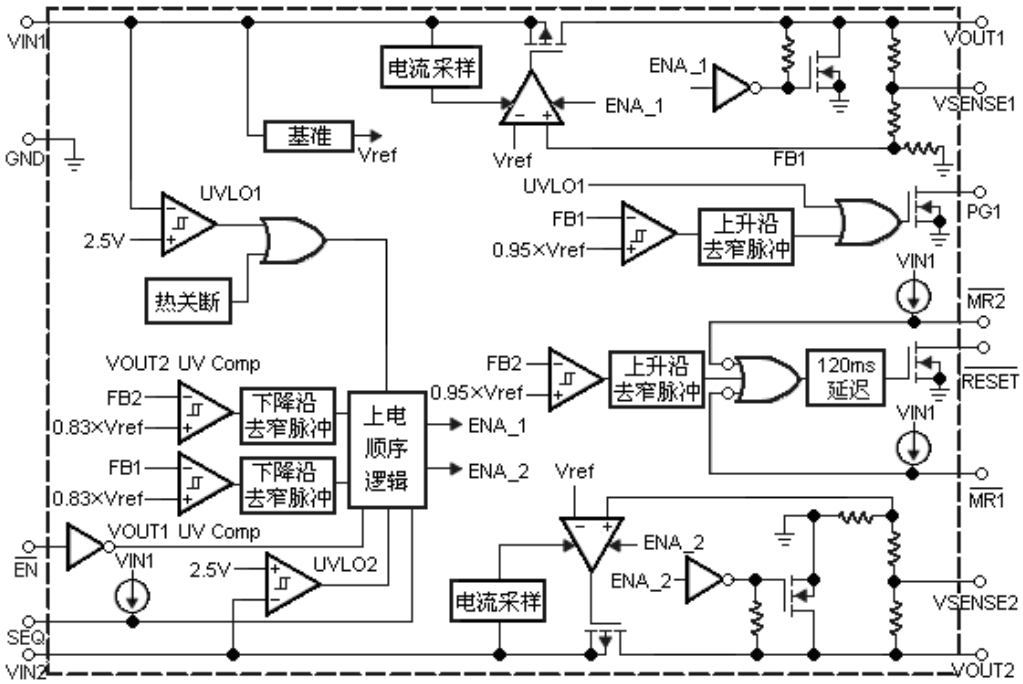
- V_{IN1} **和** $_{VIN2}$

V_{IN1} 和 V_{IN2} 是调整器的输入。

- V_{OUT1} **和** V_{OUT2}

V_{OUT1} 和 V_{OUT2} 是调整器的输出引脚。

电原理图



注释：① 对于大多数应用，器件的 V_{SENSE1} 和 V_{SENSE2} 应该在外部尽可能近的连接到其相应的 V_{OUT} 输出。

② 如果 SEQ 引脚在输入中悬空，V_{OUT2} 先启动。

功能描述

LPS70345 型双路输出可调低压差线性稳压器能够为 DSP 应用提供具有双路上电顺序控制的高性能电源管理解决方案。该电路具有高精度和快速瞬态响应等特点，并且具备低静态电流的特性。上电顺序可控的电源解决方案使得 DSP 应用中不需要其他外部控制器件。在减少元器件成本和电路板面积的同时能够提高系统的整体可靠性。LPS70345 型低压差线性稳压器具有使能功能，它能够使电路进入睡眠模式，此时输入电流较小，可低至 10μA。另外，还集成了 SVS（上电复位，低电平有效）和输出电压可用指示功能。这些功能能够检测输出电压并为系统提供一个逻辑电平信号。总之，LPS70345 为 DSP 应用提供一个完整的电源解决方案。

LPS70345 具有极低的静态电流，而且在不同负载下，其静态电流几乎不变。LPS70345 采用 PMOS 管作为调整管，由于 PMOS 管栅极由电压驱动，因此在满载工作时仍然能够保持很小并且稳定的静态电流。

应用手册

- 地/热沉

在系统允许的情况下，应尽可能大的增加板级热沉面积，且器件热沉与板级热沉之间应采用焊接方式进行良好接触，以提高系统的散热性能。

- 输入电容

在典型应用中，为确保器件稳定，输入端推荐添加一个陶瓷旁路电容（0.22μF～1μF）。这个电容应可能的接近输入引脚。由于输入阻抗的影响，大输入瞬态电流会引起输入电压下降。如果这个电压下降到引起输入电压低于 UVLO 阈值电压，器件会关断。因此，推荐使用一个大电容与瓷片旁路电容平行放置在调整器的输入端。此电容的大小取决于输出电流、主电源响应时间、主电源到调整器的距离。电容器的大小至少应确保输入电压在正常运行下不低于 UVLO 阈值电压。

- 输出电容

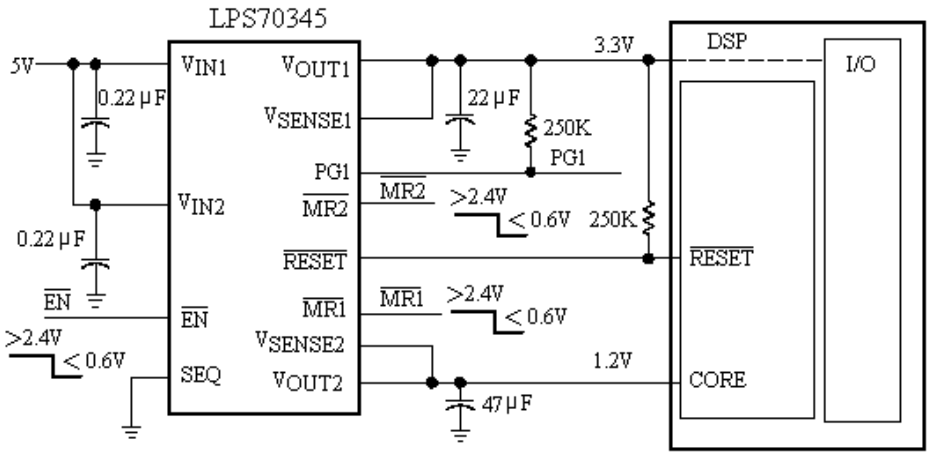
LPS70345 每一路需要在输出和地之间连接输出电容，确保内部控制环路稳定。对于 V_{OUT1} 推荐的最小值是 22μF 并且 ESR（等效串联电阻）必须在 50mΩ 到 800mΩ。对于 V_{OUT2} 推荐的最小值是 47μF 并且 ESR（等效串联电阻）必须在 50mΩ 到 2Ω。固体钽电容、铝电解电容、多层陶瓷电容在满足上述需求的情况下均可以使用。更大范围的稳定和更好的负载瞬态响应可通过采用更大容值的电容实现。

- 调整器保护

LPS70345 的两路 PMOS 功率管都内置了控制反向电流的二极管，当输入压差低于输出电压（例如：关断期间），使电流由输出到输入传输不受内部限制。当有长时间的反向模式发生时，需要对此增加外部限制。

LPS70345 具有内部限流和热保护功能。在正常运行期间，调整器 1 输出电流限制在大约 1.75A（典型），调整器 2 输出电流限制在大约 3.8A（典型）。当在限流模式下，输出电压线性减小直到过流状态结束。限流目的是防止器件损坏，器件在使用时的总功耗不应超过封装可承受的功耗。如果器件的温度超过 150℃（典型），热保护电路将关断器件。一旦器件温度降到 130℃（典型）以下，稳压器重新开始运行。

典型应用



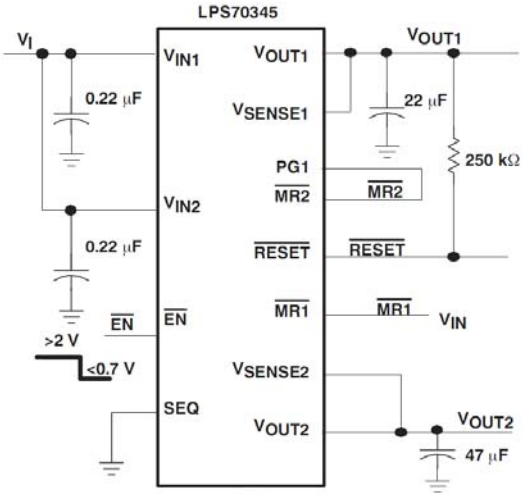
- 应用 1

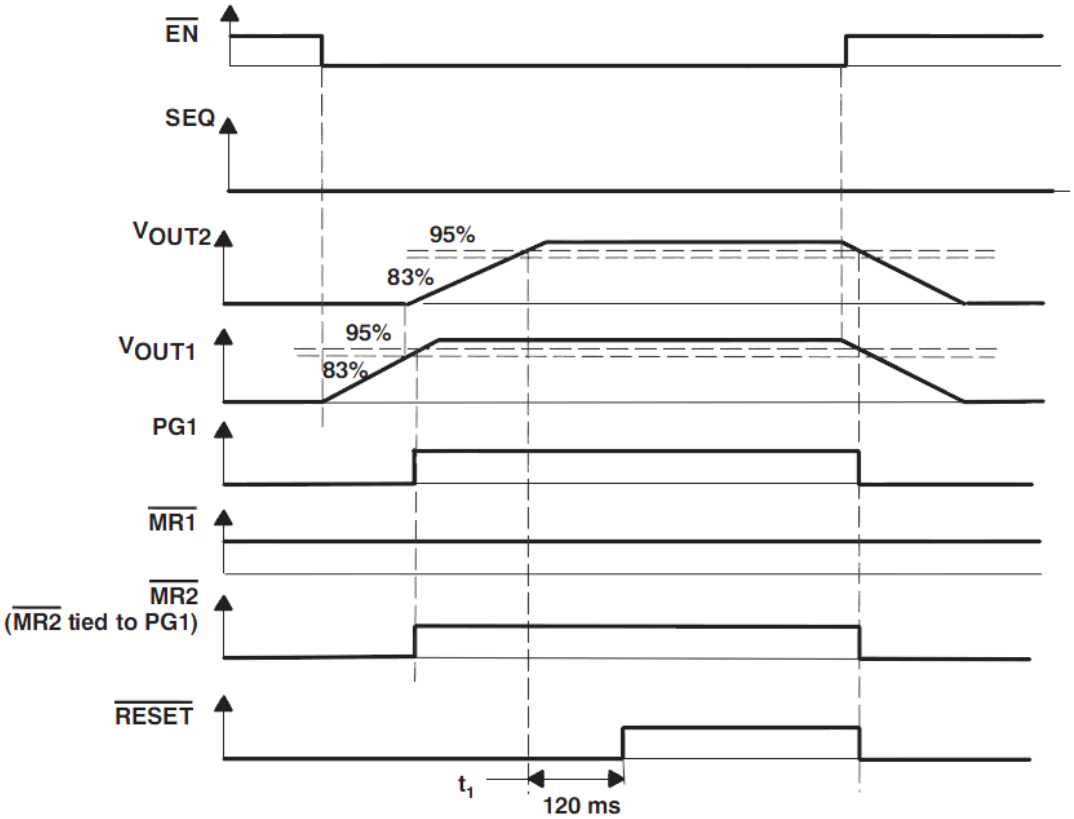
下列情况未标注在应用示意图中：

V_{IN1} 和 V_{IN2} 设置为相同的固定输入电压，且都大于 V_{UVLO}；SEQ 设置为逻辑低电平；PG1 与 $\overline{MR2}$ 连接；未使用 $\overline{MR1}$，$\overline{MR1}$ 与 V_{IN} 短接。

时序图说明：

$\overline{EN}$ 初始为高；此时两路输出都关断，并且 PG1 和 $\overline{RESET}$ 处于低电平。当 $\overline{EN}$ 变为低电平时，SEQ 为低电平。V_{OUT1} 先启动。在 V_{OUT1} 达到正常输出电压的 83%后 V_{OUT2} 打开。当 V_{OUT1} 达到正常输出电压的 95%时，PG1（接到 $\overline{MR2}$）跳转为高电平。当 V_{OUT1} 和 V_{OUT2} 分别达到正常输出电压的 95%，且 $\overline{MR1}$ 和 $\overline{MR2}$（接到 PG1）都处于高电平时；经过 120ms 延时后，$\overline{RESET}$ 被拉到高电平。当 $\overline{EN}$ 变为高电平时，电路关断，且 PG1(接到 $\overline{MR2}$)和 $\overline{RESET}$ 都变为低电平。





SEQ 为低时序

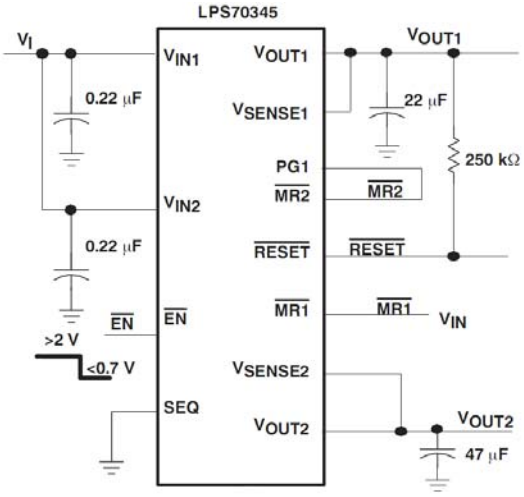
- 应用 2

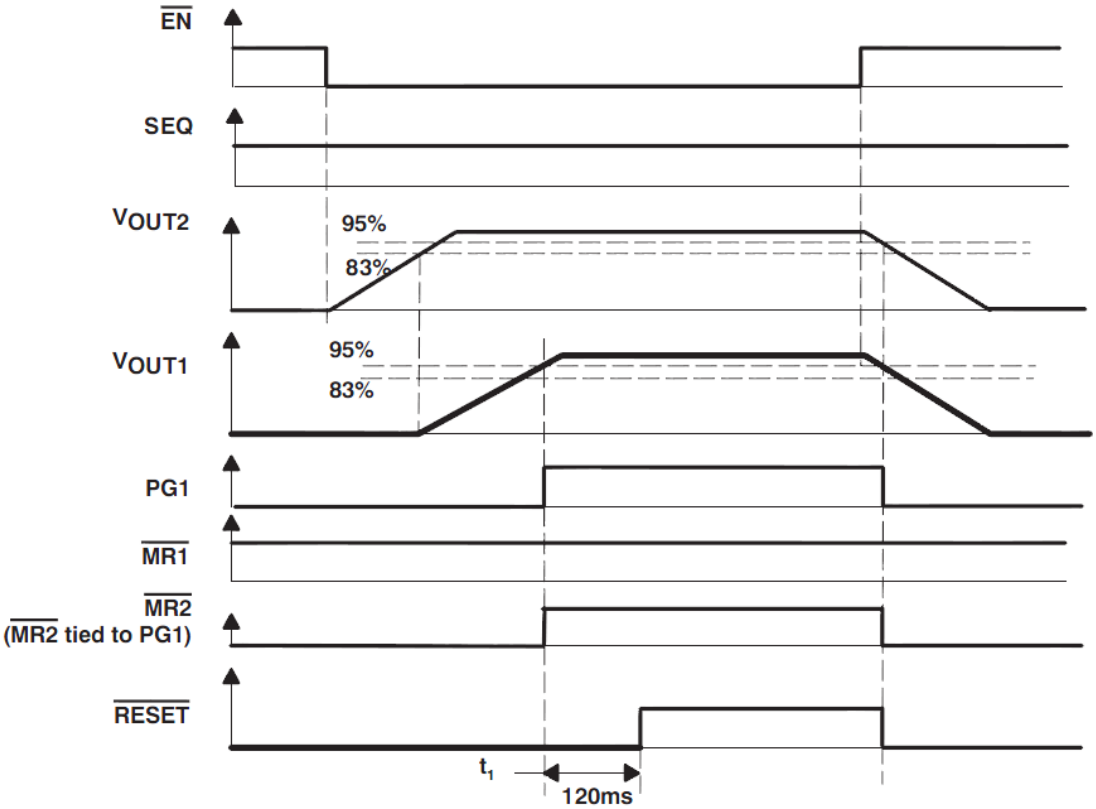
下列情况未标注在应用示意图中：

V_{IN1} 和 V_{IN2} 设置为相同的固定输入电压，且都大于 V_{UVLO}；SEQ 设置为逻辑低电平；PG1 设置为 $\overline{MR2}$；未使用 $\overline{MR1}$， $\overline{MR1}$ 与 V_{IN} 短接。

时序图说明：

$\overline{EN}$ 初始为高；此时两路输出都关断，并且 PG1 和 $\overline{RESET}$ 处于低电平。当 $\overline{EN}$ 变为低电平时，SEQ 为高电平。V_{OUT2} 先启动。在 V_{OUT2} 达到正常输出电压的 83%后 V_{OUT1} 打开。当 V_{OUT1} 达到正常输出电压的 95%时，PG1（接到 $\overline{MR2}$ ）跳转为高电平。当 V_{OUT1} 和 V_{OUT2} 分别达到正常输出电压的 95%，且 $\overline{MR1}$ 和 $\overline{MR2}$（接到 PG1）都处于高电平时；经过 120ms 延时后，$\overline{RESET}$ 被拉到高电平。当 $\overline{EN}$ 变为高电平时，电路关断，且 PG1(接到 $\overline{MR2}$ 和 $\overline{RESET}$ 都变为低电平。





SEQ 为高时序

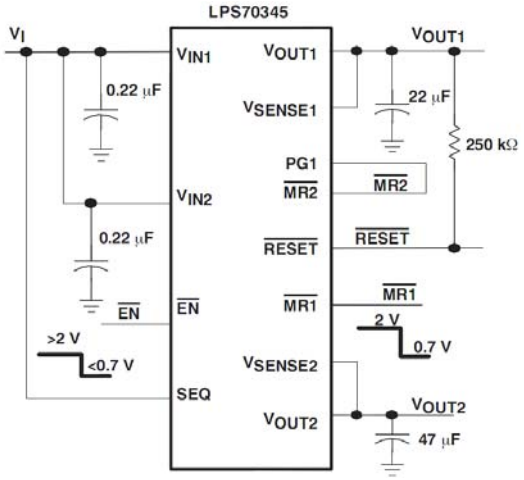
- 应用 3

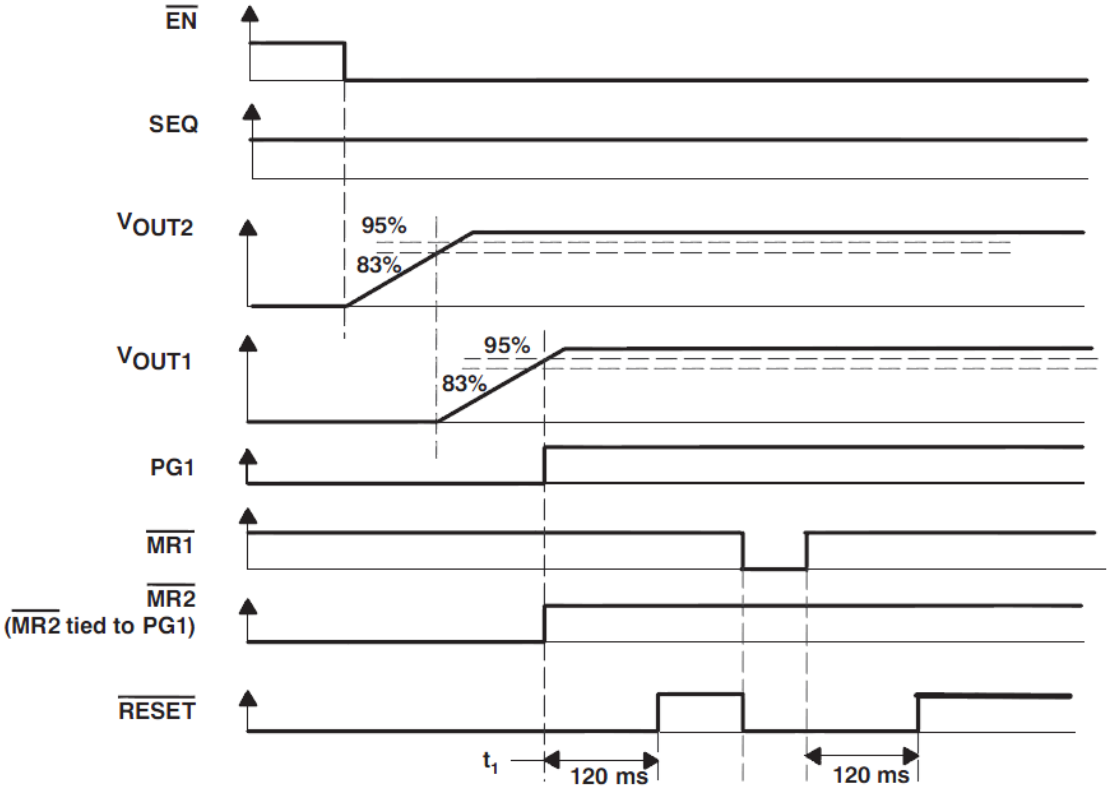
下列情况未标注在应用示意图中：

V_{IN1} 和 V_{IN2} 设置为相同的固定输入电压，都大于 V_{UVLO}；SEQ 设置为高电平；PG1 接 $\overline{MR2}$；初始 $\overline{MR1}$ 为高电平，经过一段时间后切换为低电平。

时序图说明：

$\overline{EN}$ 初始为高；此时两路都关断，并且 PG1 和 $\overline{RESET}$ 处于低电平。当 $\overline{EN}$ 为低电平时，SEQ 处于高电平。V_{OUT2} 先启动。在 V_{OUT2} 达到正常出电压的 83%后 V_{OUT1} 打开。当 V_{OUT1} 达到正常输出电压的 95%时，PG1（接到 $\overline{MR2}$）变为高电平。当 V_{OUT1} 和 V_{OUT2} 分别达到正常输出电压的 95%，且 $\overline{MR1}$ 和 $\overline{MR2}$（接到 PG1）都处于高电平时；经过 120ms 延时，$\overline{RESET}$ 被拉到逻辑高电平。当 $\overline{MR1}$ 变为低电平时，$\overline{RESET}$ 变为低电平，但是输出电压不变。当 $\overline{MR1}$ 变回逻辑高电平时，因为 V_{OUT1} 和 V_{OUT2} 都保持在各自正常输出电压的 95%以上，并且 $\overline{MR2}$（接 PG1）为高电平，经过 120ms 延时，$\overline{RESET}$ 变为高电平。





$\overline{MR}$ 变化的时序图

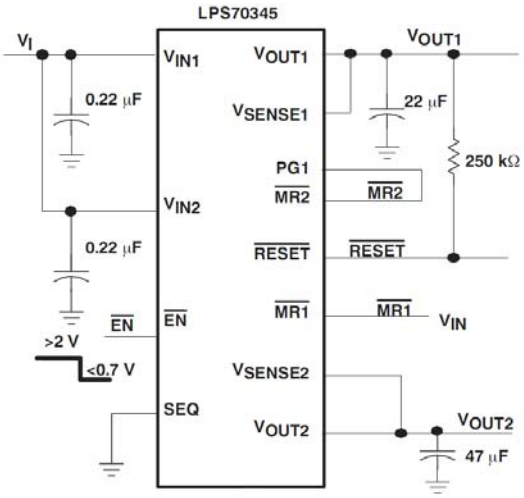
- 应用 4

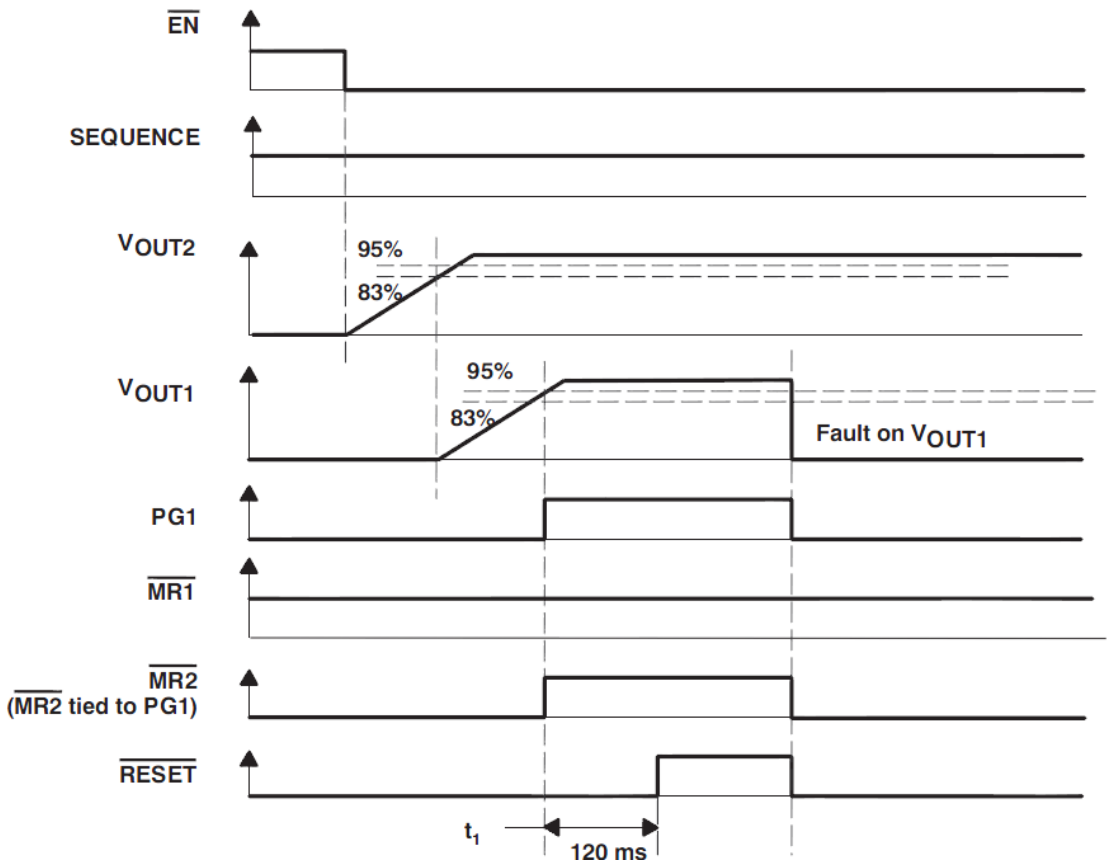
下列情况未标注在应用示意图中：

V_{IN1} 和 V_{IN2} 设置为相同的固定输入电压，且都大于 V_{UVLO}；SEQ 设置为高电平；PG1 接 $\overline{MR2}$；未使用 $\overline{MR1}$，$\overline{MR1}$ 与 V_{IN} 短接。

时序图说明：

$\overline{EN}$ 初始为高；此时两路输出都关断，并且 PG1 和 $\overline{RESET}$ 处于低电平。当 $\overline{EN}$ 为低电平时，SEQ 处于高电平。V_{OUT2} 先启动。在 V_{OUT2} 达到正常输出电压的 83%后 V_{OUT1} 打开。当 V_{OUT1} 达到正常输出电压的 95%时，PG1（接到 $\overline{MR2}$）跳转到高电平。当 V_{OUT1} 和 V_{OUT2} 分别达到正常输出电压的 95%，并且 $\overline{MR1}$ 和 $\overline{MR2}$ 接到 PG1）都处于高电平时；经过 120ms 延时后，$\overline{RESET}$ 被拉到高电平。当 V_{OUT1} 不正常掉电时，导致输出电压下降到正常输出电压的 95%以下，PG1（接 $\overline{MR2}$）跳转到低电平。





V_{OUT1} 异常掉电时序

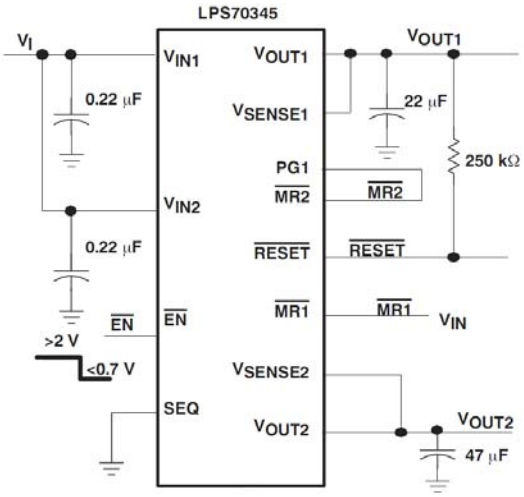
- 应用 5

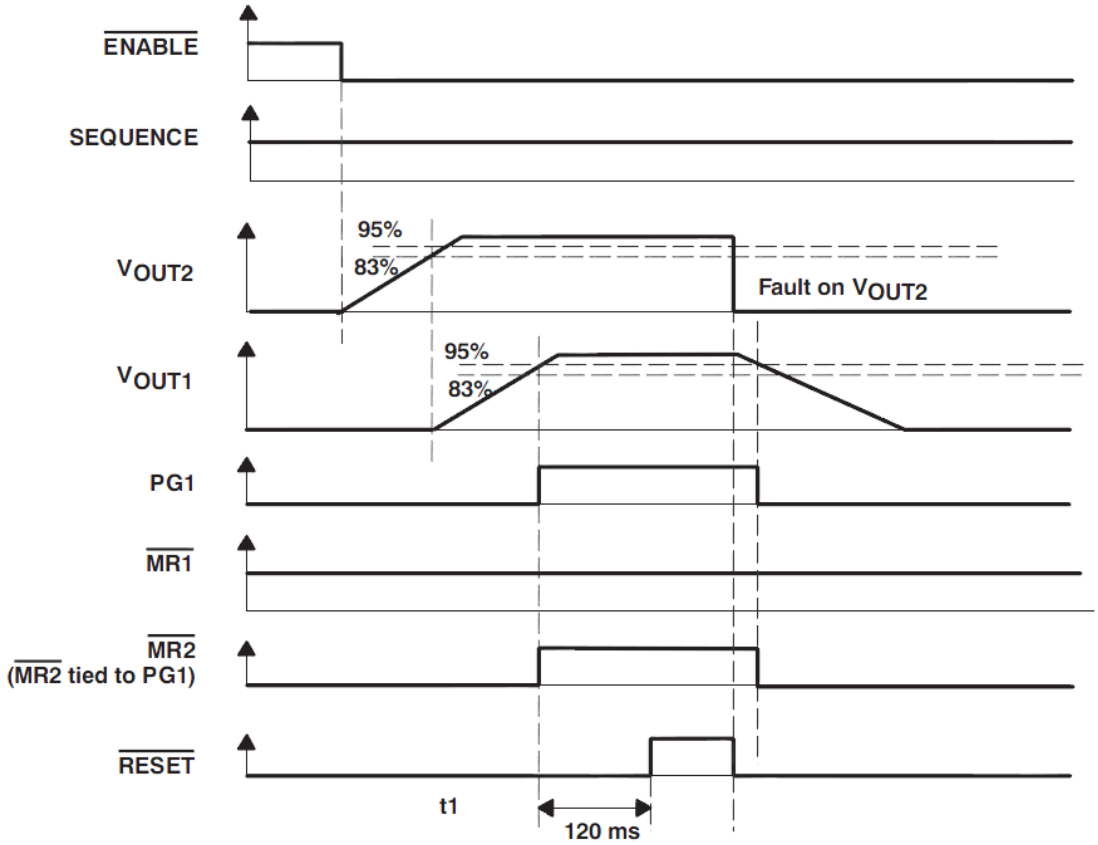
下列情况未标注在应用示意图中：

V_{IN1} 和 V_{IN2} 设置为相同的固定输入电压，都大于 V_{UVLO}；SEQ 设置为高电平；PG1 接 $\overline{MR2}$；未使用 $\overline{MR1}$，$\overline{MR1}$ 与 V_{IN} 短接

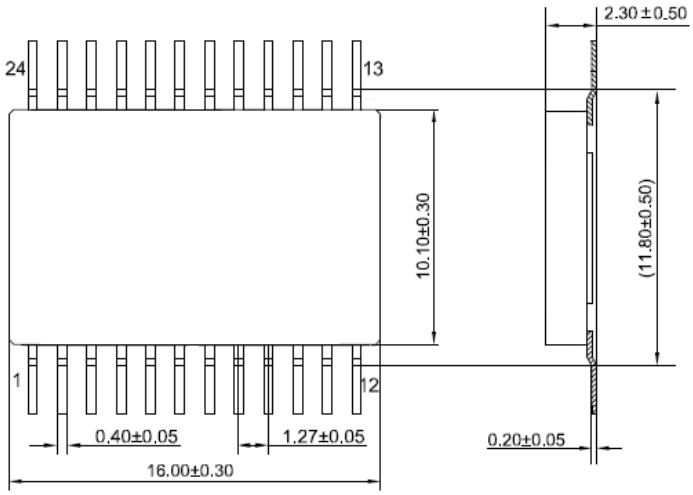
时序图说明：

$\overline{EN}$ 初始为高；此时两路输出都关断，并且 PG1 和 $\overline{RESET}$ 处于低电平。当 $\overline{EN}$ 为低电平时，SEQ 处于逻辑高电平。V_{OUT2} 先启动。在 V_{OUT2} 达到正常输出电压的 83%后 V_{OUT1} 打开。当 V_{OUT1} 达到正常输出电压的 95%时，PG1（接到 $\overline{MR2}$）跳转到高电平。当 V_{OUT1} 和 V_{OUT2} 分别达到正常输出电压的 95%，并且 $\overline{MR1}$ 和 $\overline{MR2}$（接到 PG1）都处于高电平时；经过 120ms 延时后，$\overline{RESET}$ 被拉到高电平。当 V_{OUT2} 异常掉电时，输出电压下降到正常输出电压的 95%以下，$\overline{RESET}$ 变回低电平，且因为 SEQ 是高电平，则 V_{OUT1} 开始关断。当 V_{OUT1} 下降到正常输出电压的 95%以下，PG1（接 $\overline{MR2}$）跳转到低电平。





V_{OUT2} 异常掉电时序

封装信息

器件采用带热沉的 CSOP24G 型陶瓷小外形外壳封装。单位：mm