基于部分重构的 SRAM 型 FPGA
单粒子翻转模拟

李　林[1,2]，徐　宇[1,2]，卢凌云[1,2]，贾海涛[1]，

蔡　刚[1]，李　悦[1,2]，杨海钢[1]

（1 中国科学院 电子学研究所，北京 100190；2 中国科学院大学，北京 100049）

摘　要：介绍了一种基于部分重构技术的 SRAM 型 FPGA 单粒子翻转模拟方法. 针对 SRAM 型 FPGA 的单粒子翻转特性，建立了一种能够模拟不同线性能量转移（LET）值和注量率（Flux）重离子入射的故障注入模型. 该模拟方法可用于对 SRAM 型 FPGA 应用电路采用的抗辐照加固效果进行定量预评估，验证不同加固方案的有效性，同时还可减少辐照试验的次数，降低试验成本. 基于 Virtex-4 SRAM 型 FPGA，针对三模冗余（TMR）的单粒子翻转加固方法进行了定量评估. 评估试验结果表明，该方法较好地模拟了入射粒子 LET 值和系统电路失效率之间的关系，验证了三模冗余加固方法的有效性.

关键词：SRAM 型 FPGA；单粒子翻转（SEU）模拟；部分重构

中图分类号：TN4　　　　文献标识码：A　　　　文章编号：1000－7180(2015)12－0095－05

Emulation of Single Event Upsets in SRAM-based FPGA
Using Partial Reconfiguration Techniques

LI Lin[1,2]，XU Yu[1,2]，LU Ling-yun[1,2]，JIA Hai-tao[1]，

CAI Gang[1]，LI Yue[1,2]，YANG Hai-gang[1]

（1 Institute of Electronics，Chinese Academy of Sciences，Beijing 100190，China；

2 University of Chinese Academy of Sciences，Beijing 100049，China）

Abstract：An emulation method of single event upsets（SEUs）in SRAM-based FPGA by using partial reconfiguration techniques was presented. According to the characteristics of SEUs in SRAM-based FPGA, a fault injection model was built to emulate incident particles with different Linear Energy Transfer（LET）and Flux. Preliminary quantitative evaluation of hardening-by-design techniques can be done with this method, to enhance the effectiveness and pertinence, and reduce the time of radiation ground-testing which means less cost. A design with Triple Module Redundancy（TMR）based on Virtex-4 FPGA was been evaluated, and the result showed that this method emulated the SEE and the failure rate was reduced with TMR.

Key words：SRAM-based FPGA；Emulation of Single Event Upsets；Partial Reconfiguration

作者简介：

李　林　男，(1990-)，硕士研究生. 研究方向为单粒子翻转