

10 位 10MS/s 全电容 SAR ADC 的设计

宁可庆, 史立貂, 戴 澜

(北方工业大学电子信息工程学院, 北京 100144)

摘要: 设计了一种 10 位 10 Ms/s SAR ADC。该电路内置的 DAC 使用全电容阵列设计, 在电容阵列布局中采用新型算法来减少电容失配; 通过电容的上极板采样信号, 对电容阵列的开关逻辑电路进行优化, 在一定程度上降低了功耗; 比较器使用降低回馈噪声设计; 最终对版图布局中各个部分的寄生参数进行了优化。后仿真结果表明: 使用 SMIC 0.18 μm 工艺在 1.8 V 电源下, SNDR 达到 59 dB, 即有效位达到 9.5 位, 芯片面积为 0.6 mm^2 。

关键词: 逐次逼近模数转换器; 比较器; 电容阵列

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)01-0135-05

Design of a 10 Bits 10 MS/s SAR ADC with All Capacitor DAC

NING Ke-qing, SHI Li-yao, DAI Lan

(Electronic and Information Engineering College, North China University
of Technology, Beijing 100144, China)

Abstract: In this paper it presents a 10 bits 10-MS/s successive approximation register analog-to-digital converter that use a monotonic capacitor switching procedure, a new layout algorithm is adopted to reduce the mismatch in the capacitor array. It lows the power by Signal sampling on the plus of capacitor and optimal capacitor switching logic. And a low kick-back noise latch is proposed in the design of comparator. At last, optimizing the parasitic parameters of each part circuits in the layout of SAR ADC. The chip was fabricated using SMIC 0.18 μm CMOS technology with 1.8V supply, the 10 bit 10 MS/s SAR ADC achieves SNDR of 59.0 dB and the ENOB is 9.5 bits in the post-simulation. The ADC core occupies an active area of 0.6 mm^2 .

Key words: SAR ADC, Comparator, Capacitor Array

作者简介:

宁可庆 男,(1983-),博士研究生,实验师. 研究方向为大规模集成电路设计与测试

史立貂 男,(1990-),硕士研究生. 研究方向为模拟集成电路设计.

戴 澜 男,(1975-),副教授. 研究方向为大规模集成电路设计. E-mail:dailan@ncut.edu.cn.