电路的建模分析与电路设计

栾文焕 1，王登杰 1，贾　晨 2，王自强 1
（1 清华大学 微电子学研究所，北京 100084；2 深圳清华大学研究院，深圳 518057）

摘　要： 本文针对 10 Gbase-KR 的应用场合，设计了一款基于相位插值器的二阶 CDR，通过对其进行线性建模分析，折中抖动容忍、锁定时间以及抖动峰值的关系，选取合适的增益系数，并采用 SMIC 40 nm CMOS 工艺完成了电路设计.其中二阶滤波器的比例和积分系数可调，可以追踪 1 000 ppm 的偏差，恢复时钟的抖动最差情况为 24 ps.
关键词： 高速串行；接收机；时钟数据恢复；二阶滤波器

Modeling analysis and circuit design of second-order clock data recovery circuit applied to 10 Gbase-KR

LUAN Wen-huan1, WANG Deng-jie1, JIA Chen2, WANG Zi-qiang1
（1 Institute of Microelectronics, Tsinghua University, Beijing 100084，China；
2 Research Institute of Tsinghua University in Shenzhen, Shenzhen 518057，China）

Abstract： In this paper, a second-order CDR based on phase interpolator is designed for 10Gbase-KR. Through linear modeling and analysis, it makes a compromise between jitter tolerance, lock-in time and jitter peak value, and the appropriate gain coefficient is selected. The circuit is designed by SMIC 40 nm CMOS process, in which the ratio and integral coefficient of the second-order filter can be adjusted to track the deviation of 1 000 ppm, and the worst case of recovery clock jitter is 24 ps.
Key words： high speed serial link; receiver; clock and data recovery; second-order filter
作者简介：
栾文焕　女，（1994-），硕士研究生.研究方向为集成电路设计.E-mail：luanwh16@mails.tsinghua.edu.cn.
王登杰　男，（1993-），硕士研究生.研究方向为集成电路设计.
贾　晨　男，（1986-），硕士，副研究员.研究方向集成电路测试.E-mail：jiachen@tsinghua.edu.cn.
王自强　男，（1975-），博士，副研究员.研究方向为模拟集成电路设计.