

## 基于 ADC 噪声分布的亚皮秒级时钟抖动测试方法

刘 洁<sup>1</sup>, 王 轩<sup>1</sup>, 龚 科<sup>1</sup>, 马 伟<sup>1</sup>, 周国昌<sup>1</sup>, 袁雅婧<sup>2</sup>

(<sup>1</sup> 中国空间技术研究院 西安分院, 陕西 西安 710100; <sup>2</sup> 许昌学院, 河南 许昌 461000)

**摘 要:** 针对时钟抖动与 ADC 信噪比的关系, 提出了一种基于 ADC 噪底能量分布的亚皮秒级时钟抖动的测试方法. 通过建立 ADC 的采样误差模型, 推导出时钟抖动引起的采样误差表达式, 分析了时钟抖动造成的采样精度与采样频率上限, 剥离出不同频点 ADC 噪声的成因, 从而得到利用双频点采样的时钟亚皮秒级抖动测试方法. 并对该方法进行了仿真和测试验证, 结果显示 GHz 以上频率的时钟亚皮秒级抖动测试误差小于 10 fs, 表明该方法简洁、有效, 具有很高的测试精度.

**关键词:** ADC; 信噪比; 时钟抖动; 亚皮秒

## Sub-picosecond level clock jitter measurement technique

### based on ADC noise distribution

LIU Jie<sup>1</sup>, WANG Xuan<sup>1</sup>, GONG Ke<sup>1</sup>, MA Wei<sup>1</sup>, ZHOU Guo-chang<sup>1</sup>, YUAN Ya-jing<sup>2</sup>

(<sup>1</sup> Xi'an Institute of Space Radio Technology, Xi'an 710100, China;

<sup>2</sup> Xuchang University, Xuchang 461000, China)

**Abstract:** For the affection of clock jitter on signal-to-noise ratio (SNR), a novel technique of measuring sub-picosecond level clock jitter based on ADC noise distribution is proposed. By modeling the sampling error of ADC, the mathematical formula of sampling error caused by clock jitter was observed. It also presented the highest frequency of sampled signal limited by SNR. For the different determinant of sampling noise, the measure of sub-picosecond level clock jitter by two frequency sampling was observed. All the conclusions were verified by simulation and test. The results show the test error is less than 10fs in clock jitter measurement up to a signal frequency of 1.6GHz, which indicated that the proposed method had a characterization of easy operation and high resolution.

**Key words:** ADC; signal-noise ratio; clock jitter; sub-picosecond

**作者简介:**

刘 洁 女, (1987-), 硕士, 工程师. 研究方向为高速高精信号采集技术、卫星数字通信技术、数模混合集成电路设计技术等. E-mail: liujie4213@126.com.

王 轩 男, (1986-), 硕士, 工程师. 研究方向为数模混合集成电路设计、抗辐射加固技术、ASIC/SoC 设计技术.

龚 科 男, (1982-), 硕士, 高级工程师. 研究方向为卫星数字通信技术、高速数模混合电路设计、抗辐射加固技术等.

马 伟 男, (1986-), 硕士, 工程师. 研究方向为卫星数字通信技术、高速数模混合电路设计技术等.

周国昌 男, (1978-), 博士, 研究员. 研究方向为卫星通信技术、抗辐射加固技术、大规模集成电路设计、SOC 设计技术等.

袁雅婧 女, (1983-), 博士, 副教授. 研究方向为抗辐射加固技术、ASIC/SOC 设计技术等.