一种提前终止单元划分的帧内预测动态可重构实现

贺飞龙 1，蒋　林 2，刘新闯 3，山　蕊 3，王　昱 1，吴皓月 3

（1 西安邮电大学 计算机学院，陕西 西安 710121；2 西安科技大学 集成电路实验室，陕西 西安 710054；3 西安邮电大学 电子工程学院，陕西 西安 710121）

摘　要：针对专用硬件实现高效视频编码（High Efficiency Video Coding，HEVC）帧内预测算法资源占用大，且硬件资源不能重复利用、灵活性差的问题.提出一种可重构的视频阵列处理器，能够根据当前视频序列的特点进行帧内预测算法的动态映射.首先，分析 HEVC 帧内预测算法的特点和重构的可行性，以提前终止编码块划分的阈值作为处理器进行硬件重构的依据.其次，以计算出来的参数驱动可重构阵列处理器进行硬件重构.最后，在重构的阵列处理器上进行帧内预测算法映射.通过在 4×4 的可重构阵列上进行 Planar 和 DC 两种预测模式实现，结果表明：与专用硬件实现方法相比资源减少了 65％，与多核处理器实现方法相比延时降低了 32％.

关键词：高效视频编码；帧内预测；可重构；阵列处理器

An intra-prediction dynamic reconfigurable implementation of

early termination unit partitioning

HE Fei-long1，JIANG Lin2，LIU Xin-chuang3，SHAN Rui3，WANG Yu1 ，WU Hao-yue3

(1 College of Computer Science，Xi′an University of Posts and Telecommunications，Xi′an 710121，China;2 Laboratory of Integrated circuit，Xi′an University of Science and Technology，Xi′an 710054，China;3 College of Electronic Engineering， Xi′an University of Posts and Telecommunications，Xi′an 710121，China)

Abstract： The High Efficiency Video Coding (HEVC) intra prediction algorithm for the dedicated hardware has a large resource occupation， and the hardware resources cannot be reused and the flexibility is poor. A reconfigurable video array processor is proposed， which can dynamically map the intra prediction algorithm according to the characteristics of the current video sequence. Firstly， the characteristics of HEVC intra prediction algorithm and the feasibility of reconstruction are analyzed. The threshold of early termination of coding block partition is determined as the basis for processor hardware reconstruction. Second， the reconfigurable array processor is driven by the calculated parameters for hardware reconstruction. Finally，intra prediction algorithm mapping is performed on the reconstructed array processor. By performing Planar and DC prediction mode experiments on a 4×4 reconfigurable array， the results show that the resource is reduced by 65% compared with the dedicated hardware implementation method， and the latency is reduced by 32% compared with the multi-core processor implementation.

Key words： high efficiency video coding; intra prediction; reconfigurable; array processor

作者简介：贺飞龙　男，（1993-），硕士研究生.研究方向为专用集成电路设计.E-mail：15002902717@163.com

蒋　林　男，（1970-），教授.研究方向为专用集成电路设计.

刘新闯　男，（1993-），硕士研究生.研究方向为专用集成电路设计.

山　蕊　女，（1986-） ，博士，讲师.研究方向为集成电路设计.

王　昱　女，（1993-），硕士研究生.研究方向为计算机视觉及图像处理.

吴皓月　女，（1995-），硕士研究生.研究方向为微电子学与固体电子学.