

## 8GS/s-14bit RF-DAC 中数字上变频器的 ASIC 实现

汪旭兴<sup>1,2</sup>, 闫江<sup>1</sup>, 吴旦昱<sup>2</sup>, 周磊<sup>2</sup>, 武锦<sup>2</sup>, 贾涵博<sup>2</sup>, 张飞<sup>3</sup>

(1 北方工业大学 信息学院, 北京 100144; 2 中国科学院 微电子研究所, 北京 100029;  
3 大唐移动通信设备有限公司, 北京 100089)

**摘要:** 本文提出了一种内嵌于 8GS/s-14bit RF-DAC 中数字上变频器(DUC)的设计方案, 该方案采用 ASIC 实现, 能够得到采样频率达 8 GHz 的输出信号, 并提供插值因子分别为 2、4、8、16 的上变频功能. 基于 CORDIC 算法, 提出 16 路时域交织的数控振荡器(NCO)结构, 同时采用全带滤波器(HB-FIR)折叠结构级联实现内插滤波器组. 基于 40 nm CMOS 工艺, 完成 RTL 级设计和 GDSII 版图设计, 并将其内嵌于 8GS/s-14bit RF-DAC 中完成混合 SOC 的电路设计与验证. 测试结果显示, 该设计可以在 500 MHz 的工作时钟频率下达到设计目标, 数字部分的版图面积为  $2\,551 \times 2\,580 \mu\text{m}^2$ , 仿真功耗约为 1 365.4 mW. 在 40 nm CMOS 工艺下流片, 流片测试结果显示该芯片设计能够完成预设目标, 且在插值为 16 的模式下, 测得芯片数字部分功耗为 1 250 mW, 符合设计预期.

**关键词:** 数字上变频器; 数控振荡器; CORDIC; ASIC; 8 GHz; 40 nm

### ASIC implementation of digital upconverter in 8GS/s-14bit RF-DAC

WANG Xu-xing<sup>1,2</sup>, YAN Jiang<sup>1</sup>, WU Dan-yu<sup>2</sup>, ZHOU Lei<sup>2</sup>, WU Jin<sup>2</sup>, JIA Han-bo<sup>2</sup>, ZHANG Fei<sup>3</sup>  
(1 College of Information, North China University of Technology, Beijing 100144, China; 2  
University of Chinese Academy of Sciences, Beijing 100049, China; 3 DT Mobile Communication  
Equipment Co., Ltd., Beijing 100089, China)

**Abstract:** This paper proposes a design scheme of digital upconverter (DUC) embedded in 8GS/s-14bit RF-DAC. The scheme is implemented by ASIC, which can get the output signal with sampling frequency up to 8GHz and provide interpolation factors 2, 4, 8, 16 upconversion function, respectively. Based on the CORDIC algorithm, a 16-channel time-domain interleaved numerically controlled oscillator (NCO) structure is proposed, and an interpolation filter set is realized by using a full half-band filter (HB-FIR) folding structure cascade. Based on the 40nm CMOS process, the RTL-level design and GDSII layout design are completed and embedded in the 8GS/s-14bit RF-DAC to complete the circuit design and verification of the hybrid SOC. The test results show that the design can achieve the design goal at 500 MHz working clock frequency. The layout area of the digital part is  $2\,551 \times 2\,580 \mu\text{m}^2$ , the simulation power consumption is about 1 365.4 mW. And the film is tested in 40 nm CMOS process, The results show that the chip design can achieve the preset target, and in the mode of interpolation 16, the power consumption of the digital part of the chip is measured to be 1 250 mW, which is in line with the design expectations.

**Key words:** DUC; NCO; CORDIC; ASIC; 8 GHz; 40 nm

**作者简介:** 汪旭兴 女, (1994-), 硕士研究生. 研究方向为数模混合集成电路设计.

闫江 男, (1960-), 博士, 教授(千人), 博士生导师. 研究方向为集成电路工艺仿真与测试分析.

吴旦昱 男, (1985-), 博士, 副研究员. 研究方向为数模混合集成电路设计.

周磊 男, (1986-), 博士, 副研究员. 研究方向为数模混合集成电路设计.

武锦(通讯作者) 女, (1978-), 博士, 研究员. 研究方向为数模混合集成电路设计. E-mail: wujin@ime.ac.cn.

贾涵博 男, (1994-), 硕士研究生. 研究方向为数模混合集成电路设计.

张飞 男, (1981-), 工程师. 研究方向为收发信机电路设计.