

32位浮点型数字信号处理器SM320C32

产品特性

- 电源电压(V_{DD}): 5V
- 时钟频率(f): 50MHz
- 工作环境温度: $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- 质量等级: GJB B1 级

产品概述

SM320C32 是一款 $0.5\mu\text{m}$ CMOS 工艺生产的高性能 32 位浮点型数字信号处理器，可兼容 TI 公司 TMS320C32-50 型产品。该产品采用了改进的哈佛总线结构、四级指令流水线、五种流水线冲突解决方案。内部集成了系统控制和数学增强运算功能

两大块，提供了快速流畅的数据移动和高速的数字处理性能，可以高速灵活的达到每秒钟 50M 次浮点运算。可靠性达到国军标 B1 级。该产品可应用于安全通信、雷达处理、声纳处理、图像处理、导航制导、无线电频率调制解调器等军事领域。

引脚描述

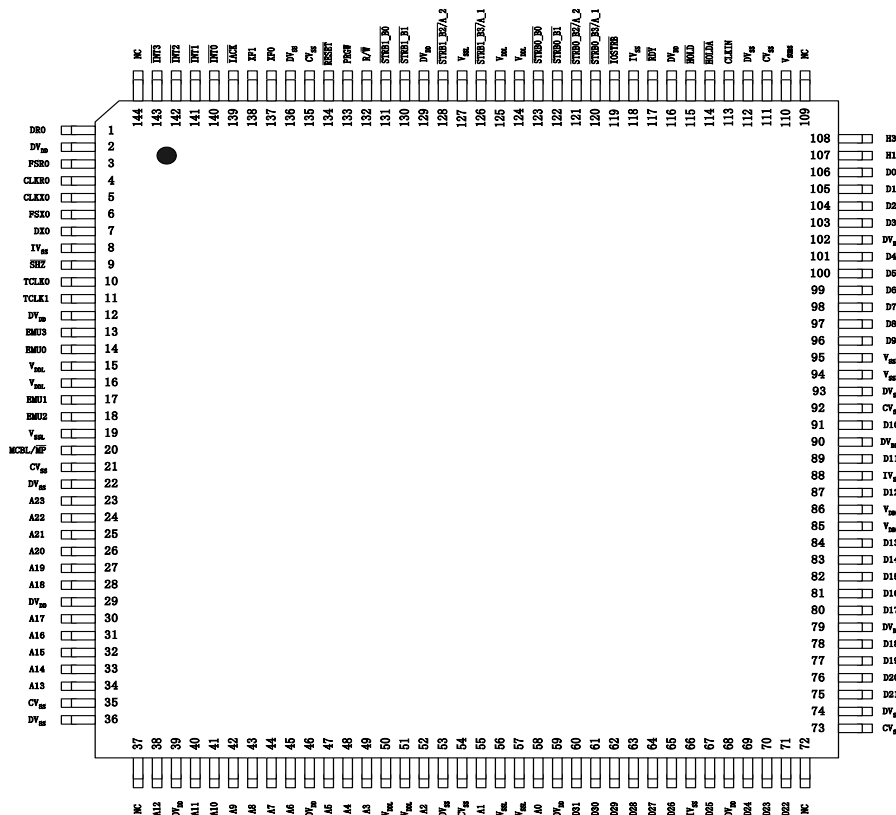


图 1 引脚图

32位浮点型数字信号处理器SM320C32

表 1 引出端定义

引出端	符号	功 能	类型	引出端	符号	功 能	类型
1	DR0	数据接收输出信号	I/O/Z	37	NC	空	
2	DV _{DD}	电源	I	38	A12	外部总线地址端口	O/Z
3	FSR0	用来接收帧同步脉冲	I/O/Z	39	DV _{DD}	电源	I
4	CLKR0	0 串行口的接收时钟信	I/O/Z	40	A11	外部总线地址端口	O/Z
5	CLKX0	0 串行口的发送时钟信	I/O/Z	41	A10	外部总线地址端口	O/Z
6	FSX0	用来发送帧同步脉冲	I/O/Z	42	A9	外部总线地址端口	O/Z
7	DX0	数据发送输出信号	I/O/Z	43	A8	外部总线地址端口	O/Z
8	IV _{SS}	地	I	44	A7	外部总线地址端口	O/Z
9	$\overline{\text{SHZ}}$	关断、高阻态	I	45	A6	外部总线地址端口	O/Z
10	TCLK0	定时器 0 时钟信号	I/O/Z	46	DV _{DD}	电源	I
11	TCLK1	定时器 1 时钟信号	I/O/Z	47	A5	外部总线地址端口	O/Z
12	DV _{DD}	电源	I	48	A4	外部总线地址端口	O/Z
13	EMU3	用于仿真的保留管脚	O	49	A3	外部总线地址端口	O/Z
14	EMU0	用于仿真的保留管脚	I	50	V _{DDL}	电源	I
15	V _{DDL}	电源	I	51	V _{DDL}	电源	I
16	V _{DDL}	电源	I	52	A2	外部总线地址端口	O/Z
17	EMU1	用于仿真的保留管脚	I	53	CV _{SS}	地	I
18	EMU2	用于仿真的保留管脚	I	54	DV _{SS}	地	I
19	V _{SSL}	地	I	55	A1	外部总线地址端口	O/Z
20	$\overline{\text{MCBL/MP}}$	微计算机/微处理器模	I	56	V _{SSL}	地	I
21	CV _{SS}	地	I	57	V _{SSL}	地	I
22	DV _{SS}	地	I	58	A0	外部总线地址端口	O/Z
23	A23	外部总线地址端口	O/Z	59	DV _{DD}	电源	I
24	A22	外部总线地址端口	O/Z	60	D31	外部总线数据端口	I/O/Z
25	A21	外部总线地址端口	O/Z	61	D30	外部总线数据端口	I/O/Z
26	A20	外部总线地址端口	O/Z	62	D29	外部总线数据端口	I/O/Z
27	A19	外部总线地址端口	O/Z	63	D28	外部总线数据端口	I/O/Z
28	A18	外部总线地址端口	O/Z	64	D27	外部总线数据端口	I/O/Z
29	DV _{DD}	电源	I	65	D26	外部总线数据端口	I/O/Z
30	A17	外部总线地址端口	O/Z	66	IV _{SS}	地	I
31	A16	外部总线地址端口	O/Z	67	D25	外部总线数据端口	I/O/Z
32	A15	外部总线地址端口	O/Z	68	DV _{DD}	电源	I
33	A14	外部总线地址端口	O/Z	69	D24	外部总线数据端口	I/O/Z
34	A13	外部总线地址端口	O/Z	70	D23	外部总线数据端口	I/O/Z
35	CV _{SS}	地	I	71	D22	外部总线数据端口	I/O/Z
36	DV _{SS}	地	I	72	NC	空	

32位浮点型数字信号处理器SM320C32

表 1 引出端定义 (续)

引出端	符号	功 能	类型	引出端	符号	功 能	类型
73	CV _{SS}	地	I	106	D0	外部总线数据端口	I/O/Z
74	DV _{SS}	地	I	107	H1	外部 H1 时钟	O/Z
75	D21	外部总线数据端口	I/O/Z	109	NC	空	
76	D20	外部总线数据端口	I/O/Z	110	V _{SUBS}	衬底接地	I
77	D19	外部总线数据端口	I/O/Z	111	CV _{SS}	地	I
78	D18	外部总线数据端口	I/O/Z	112	DV _{SS}	地	I
79	DV _{DD}	电源	I	113	CLKIN	外部时钟源到内部振荡器输	I
80	D17	外部总线数据端口	I/O/Z	114	$\overline{\text{HOLDA}}$	外部存储器接口保持确认信	O/Z
81	D16	外部总线数据端口	I/O/Z	115	$\overline{\text{HOLD}}$	外部存储器接口的保持信号	I
82	D15	外部总线数据端口	I/O/Z	116	DV _{DD}	电源	I
83	D14	外部总线数据端口	I/O/Z	117	$\overline{\text{RDY}}$	就绪信号	I
84	D13	外部总线数据端口	I/O/Z	118	IV _{SS}	地	I
85	V _{DDL}	电源	I	119	$\overline{\text{IOSTRB}}$	外部存储器接口的外设 I/O 器件访问选通信号	O/Z
86	V _{DDL}	电源	I	120	$\overline{\text{STRB0 - B3}}/\text{A}_1$	外部存储器 STRB0 区选通	O/Z
87	D12	外部总线数据端口	I/O/Z	121	$\overline{\text{STRB0 - B2}}/\text{A}_2$	外部存储器 STRB0 区选通	O/Z
88	IV _{SS}	地	I	122	$\overline{\text{STRB0 - B1}}$	外部存储器 STRB0 区选通	O/Z
89	D11	外部总线数据端口	I/O/Z	123	$\overline{\text{STRB0 - B0}}$	外部存储器 STRB0 区选通	O/Z
90	DV _{DD}	电源	I	124	V _{DDL}	电源	I
91	D10	外部总线数据端口	I/O/Z	125	V _{DDL}	电源	I
92	CV _{SS}	地	I	126	$\overline{\text{STRB1 - B3}}/\text{A}_1$	外部存储器 STRB1 区选通	O/Z
93	DV _{SS}	地	I	127	V _{SSL}	地	I
94	V _{SSL}	地	I	128	$\overline{\text{STRB1 - B2}}/\text{A}_2$	外部存储器 STRB1 区选通	O/Z
95	V _{SSL}	地	I	129	DV _{DD}	电源	I
96	D9	外部总线数据端口	I/O/Z	130	$\overline{\text{STRB1 - B1}}$	外部存储器 STRB1 区的选	O/Z
97	D8	外部总线数据端口	I/O/Z	131	$\overline{\text{STRB1 - B0}}$	外部存储器 STRB1 区的选	O/Z
98	D7	外部总线数据端口	I/O/Z	132	R/ $\overline{\text{W}}$	外部存储器接口的读写线	O/Z
99	D6	外部总线数据端口	I/O/Z	133	PRGW	程序存储器宽度的选取信号	I
100	D5	外部总线数据端口	I/O/Z	134	$\overline{\text{RESET}}$	复位信号	I
101	D4	外部总线数据端口	I/O/Z	135	CV _{SS}	地	I
102	DV _{DD}	电源	I	136	DV _{SS}	地	I
103	D3	外部总线数据端口	I/O/Z	137	XF0	外部标志信号	I/O/Z
104	D2	外部总线数据端口	I/O/Z	138	XF1	外部标志信号	I/O/Z
105	D1	外部总线数据端口	I/O/Z	139	$\overline{\text{IACK}}$	中断确认信号	O/Z

32位浮点型数字信号处理器SM320C32

表 1 引出端定义 (续)

140	$\overline{\text{INT}}_0$	外部中断信号	I	143	$\overline{\text{INT}}_3$	外部中断信号	I
141	$\overline{\text{INT}}_1$	外部中断信号	I	144	NC	空	
142	$\overline{\text{INT}}_2$	外部中断信号	I				

注：表中 I 表示输入，O 表示输出，Z 表示高阻状态。信号名上有横线（例如 $\overline{\text{RESET}}$ ）表示该信号低电平有效。
推荐去耦电容为 0.1 μF

电原理图

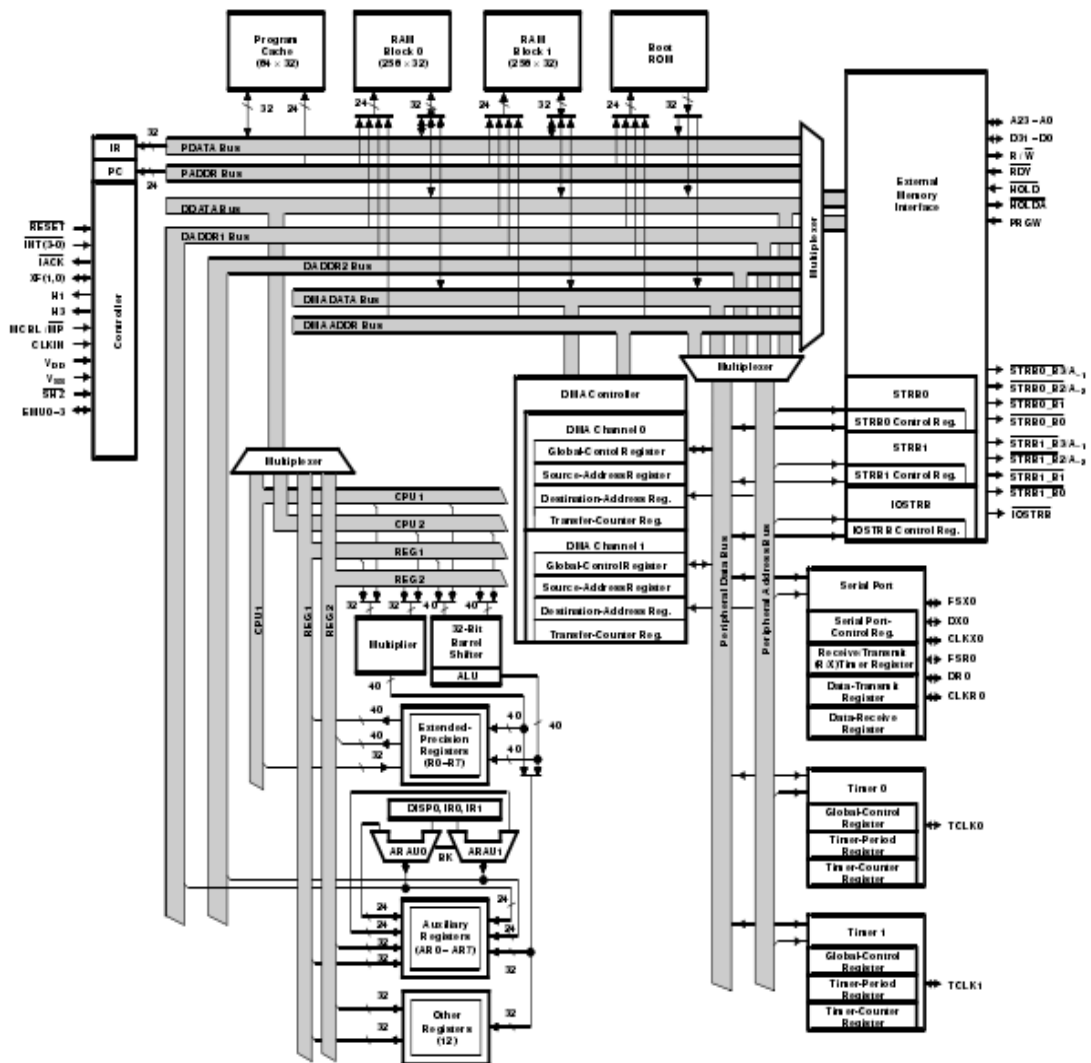


图 2 电原理图

32位浮点型数字信号处理器SM320C32

电参数表

直流电特性

表 2 直流电特性表

特 性	符号	条 件 除另有规定外, $V_{DD}=4.75V\sim 5.25V$, $T_A=55^{\circ}C\sim 125^{\circ}C$	极 限 值		单 位
			最小	最大	
输入低电平电压	V_{IL}^a	—	-0.3	0.8	V
输入高电平电压	V_{IH}^b	其它所有输入端	2.0	5.3	V
		CLKIN 端	2.6	5.3	V
输出高电平电压	V_{OH}	$V_{DD}=4.75V$, $I_{OH}=-300\mu A$	2.4	—	V
输出低电平电压	V_{OL}	除 A0~A23 端, $V_{DD}=4.75V$, $I_{OL}=2mA$	—	0.6	V
		A0~A23 端, $V_{DD}=4.75V$, $I_{OL}=2mA$	—	0.7	
高阻态输出电流	I_{OZL}	$V_O=0V$, $V_{DD}=5.25V$	-20	—	μA
	I_{OZH}	$V_O=5.25V$, $V_{DD}=5.25V$	—	20	
输入电流	I_{IL}	$V_{IN}=0V$, $V_{DD}=5.0V$	-10	—	μA
	I_{IH}	$V_{IN}=5V$, $V_{DD}=5.0V$	—	10	
待机电流	I_{SB}	IDLE2, 关断时钟, $V_{DD}=5.0V$	—	1.0	mA
工作电流 (动态)	I_{DD}	$V_{DD}=5.25V$, $f=50MHz$	—	425	mA

开关电特性

表 3 开关电特性

序号	参 数	符号	条 件	极 限 值		单 位
				最小值	最大值	
1	H1/H3 的下降延迟	$t_f(H)$	图 3, 90%—10%处	—	3	ns
2	H1/H3 的上升延迟	$t_r(H)$	图 3, 10%—90%处	—	3	ns
3	H1/H3 低电平到 H1/H3 高电平延时	$t_d(HL-HH)$	图 3	0	4	ns
4	H1/H3 的周期	$t_c(H)$	图 3	39.6	606	ns

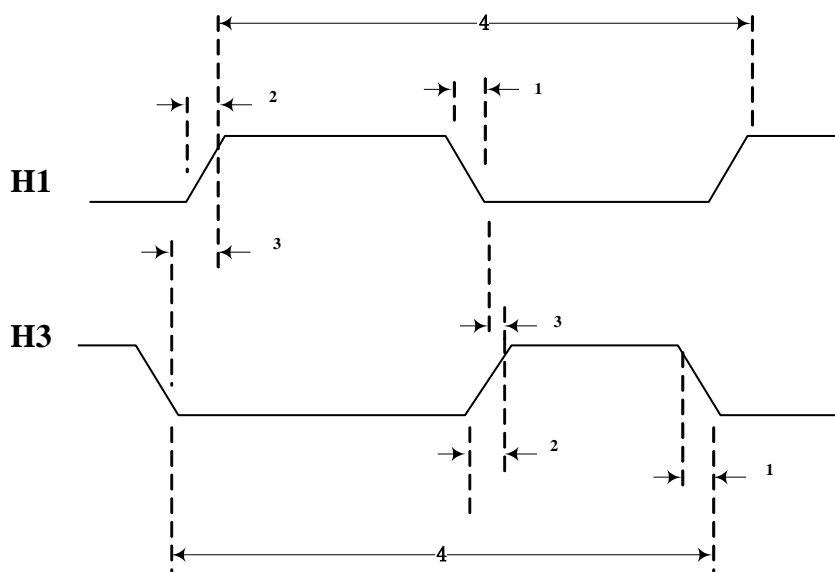


图 3 H1/H3 时序
表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单 位
				最小值	最大值	
5	H1 低电平到 $\overline{\text{STRB}}_x$ 低电平的延时	$t_d(\text{H1L-SL})$	图 4、5	0	9	ns
6	H1 低电平到 $\overline{\text{STRB}}_x$ 高电平的延时	$t_d(\text{H1L-SH})$	图 4、5	0	9	ns
7	H1 高电平到 $\overline{\text{R/W}}$ 低电平 (读) 延时	$t_d(\text{H1H-RWL})$	图 4	0	9	ns
8	H1 低电平到地址线有效的延时	$t_d(\text{H1L-A})$	图 4、5	0	9	ns
9	建立时间, H1 变低电平前数据有效时间	$t_{su}(\text{D})\text{R}$	图 4	—	10	ns
10	保持时间, H1 低电平后数据有效的的时间	$t_h(\text{D})\text{R}$	图 4	—	5	ns
11	建立时间, H1 变低电平前 $\overline{\text{RDY}}$ 低电平时间	$t_{su}(\text{RDY})$	图 4	—	19	ns
12	保持时间, H1 低电平后 $\overline{\text{RDY}}$ 低电平的时间	$t_h(\text{RDY})$	图 4	—	5	ns
13	延迟时间, H1 高电平到 $\overline{\text{R/W}}$ 高电平 (写)	$t_d(\text{H1H-RWH})$	图 5	—	9	ns
14	有效时间, H1 低电平 (写) 前数据有效的的时间	$t_v(\text{D})\text{W}$	图 5	—	14	ns
15	延迟时间, H1 高电平后数据有效的的时间	$t_d(\text{D})\text{W}$	图 5	0	12	ns
16	延迟时间, 背对背写周期中 H1 高电平到下一个地址线有效	$t_d(\text{H1H-A})$	图 5	—	9	ns

32位浮点型数字信号处理器SM320C32

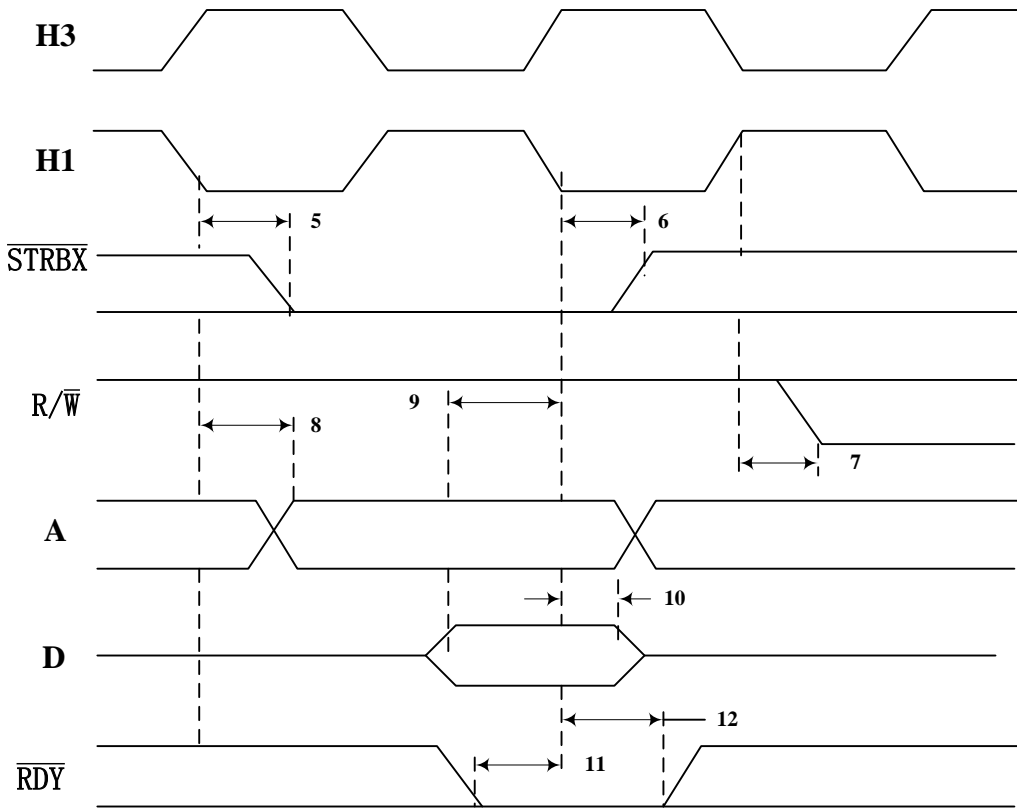


图 4 存储器读周期时序

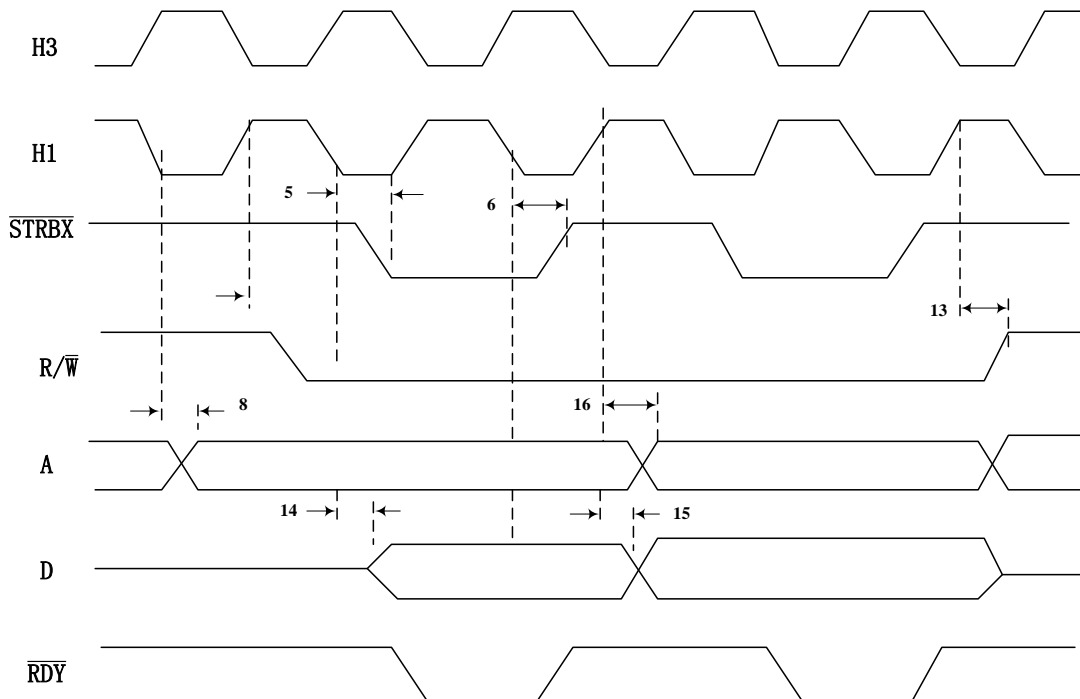


图 5 存储器写周期时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参数	符号	条件	极限值		单位
				最小值	最大值	
17	延迟时间, H3 低电平到 $\overline{\text{IOSTRB}}$ 低电平的时间	$t_d(\text{H3L-IOSL})$	图 6	0	9	ns
18	延迟时间, H3 低电平到 $\overline{\text{IOSTRB}}$ 高电平的时间	$t_d(\text{H3L-IOSH})$	图 6	0	9	ns
19	延迟时间, H1 低电平到 $\overline{\text{R/W}}$ 高电平的时间	$t_d(\text{H1L-RWH})$	图 6	0	9	ns
20	H1 低电平到地址线有效的延迟时间	$t_d(\text{H1L-A})$	图 6	0	9	ns
21	在 H1 高电平之前数据建立时间	$t_{su}(\text{D})\text{R}$	图 6	—	10	ns
22	H1 高电平之后数据线保持时间	$t_h(\text{D})\text{R}$	图 6	—	5	ns
23	H1 变为高电平之前 $\overline{\text{RDY}}$ 建立时间	$t_{su}(\text{RDY})$	图 6	—	8	ns
24	H1 变为高电平之后 $\overline{\text{RDY}}$ 保持时间	$t_h(\text{RDY})$	图 6	—	5	ns
25	H1 低电平到 $\overline{\text{R/W}}$ 低电平的延迟时间	$t_d(\text{H1L-RWL})$	图 6	0	9	ns

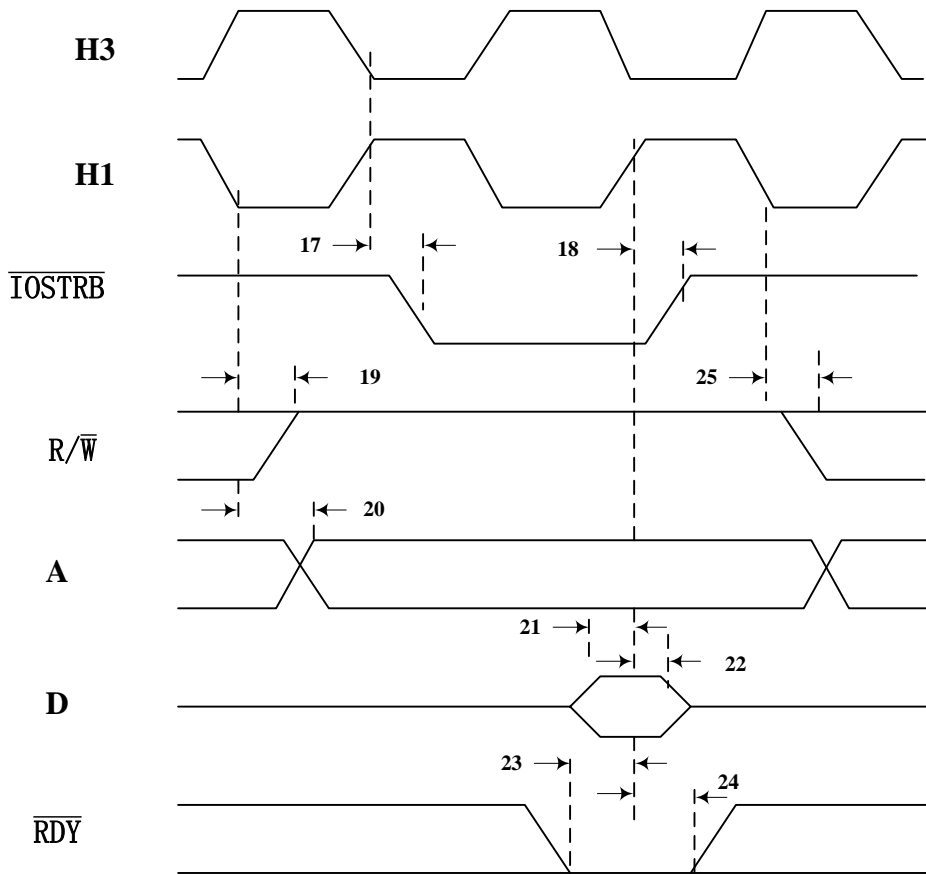


图 6 用 $\overline{\text{IOSTRB}}$ 控制存储器读周期时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
26	延迟时间, H3 低电平到 $\overline{\text{IOSTRB}}$ 低电平的时间	$t_d(\text{H3L-IOSL})$	图 7	0	9	ns
27	延迟时间, H3 低电平到 $\overline{\text{IOSTRB}}$ 高电平的时间	$t_d(\text{H3L-IOSH})$	图 7	0	9	ns
28	延迟时间, H1 低电平到 $\text{R}/\overline{\text{W}}$ 高电平的时间	$t_d(\text{H1L-RWH})$	图 7	0	9	ns
29	H1 低电平到地址线有效的延迟时间	$t_d(\text{H1L-A})$	图 7	0	9	ns
30	H1 高电平之后数据线延迟时间	$t_d(\text{D})\text{R}$	图 7	0	—	ns
31	H1 变为高电平之前 $\overline{\text{RDY}}$ 建立时间	$t_{su}(\text{RDY})$	图 7	—	8	ns
32	H1 变为高电平之后 $\overline{\text{RDY}}$ 保持时间	$t_h(\text{RDY})$	图 7	—	5	ns
33	H1 低电平到 $\text{R}/\overline{\text{W}}$ 低电平的延迟时间	$t_d(\text{H1L-RWL})$	图 7	0	9	ns
34	H1 高电平之后到数据线有效时间	$t_v(\text{D})\text{W}$	图 7	—	14	ns
35	从 H1 低电平之后数据线保持时间	$t_h(\text{D})\text{W}$	图 7	—	5	ns

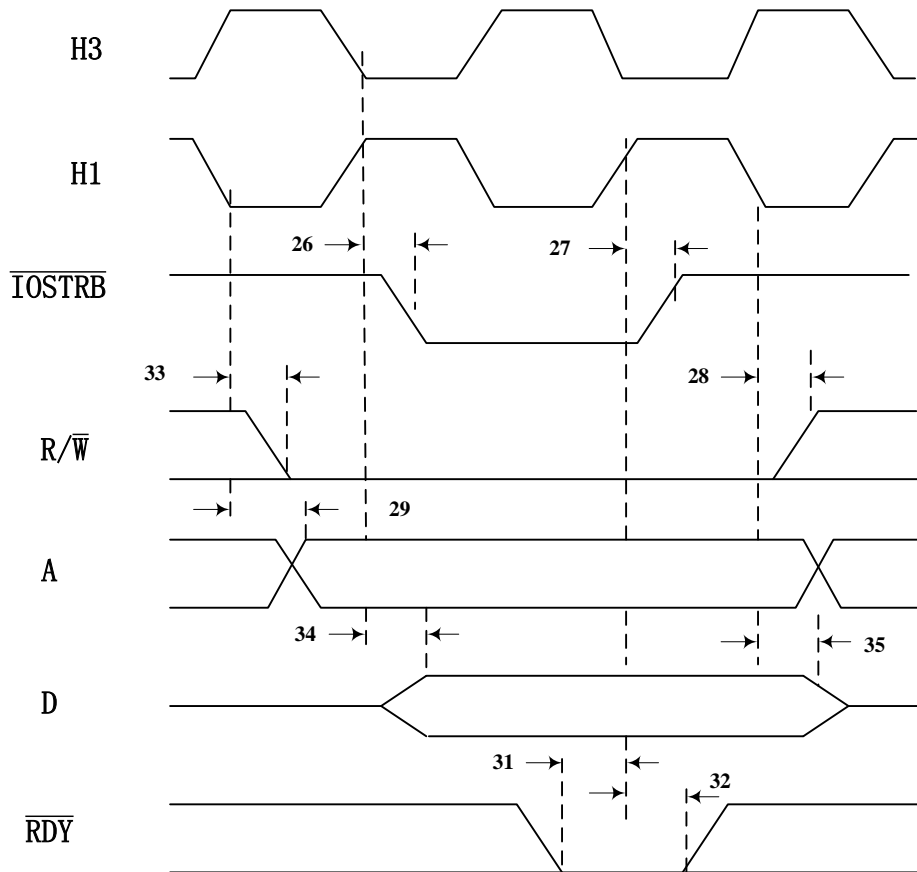


图 7 用 $\overline{\text{IOSTRB}}$ 控制存储器写周期时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
36	H3 高电平到 XF0 低电平的延迟时间	$t_d(\text{H3H-XF0L})$	图 8	—	12	ns
37	在 H1 变为低电平之前 XF1 的建立时间	$t_{su}(\text{XF1})$	图 8	—	9	ns
38	从 H1 变为低电平之后 XF1 保持时间	$t_h(\text{XF1})$	图 8	—	5	ns

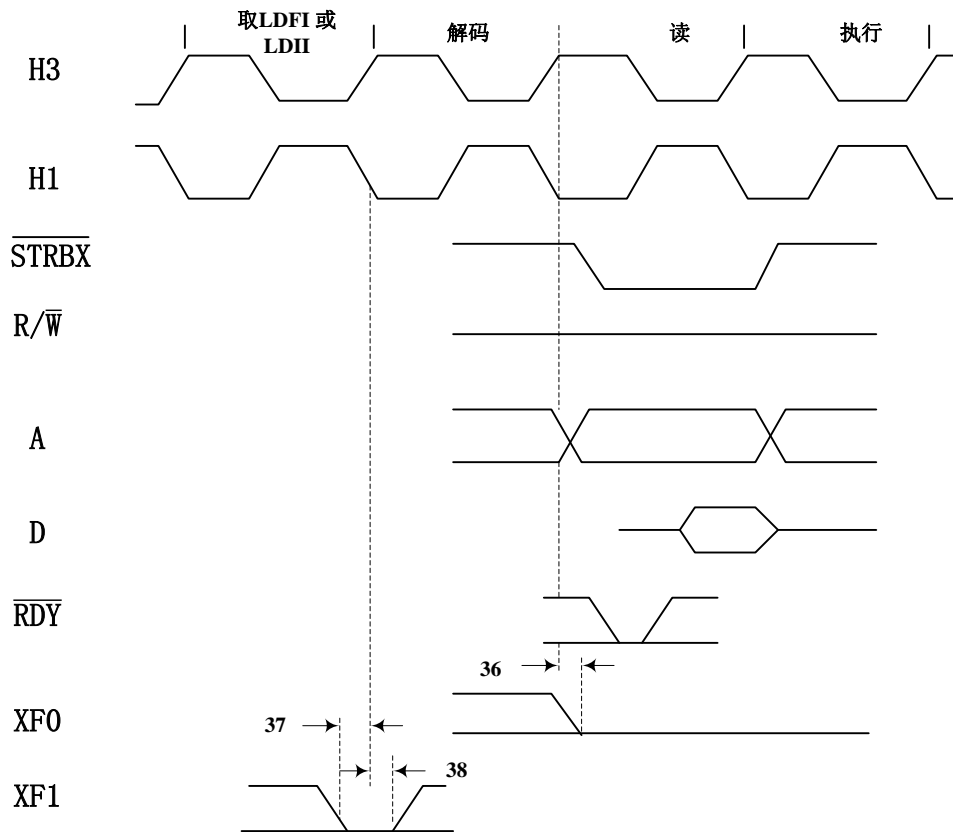


图 8 当执行 LDFI 或 LDII 时 XF0 和 XF1 时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
39	H3 高电平到 XF0 高电平的延迟时间	$t_d(H3H-XF0H)$	图 9	—	12	ns

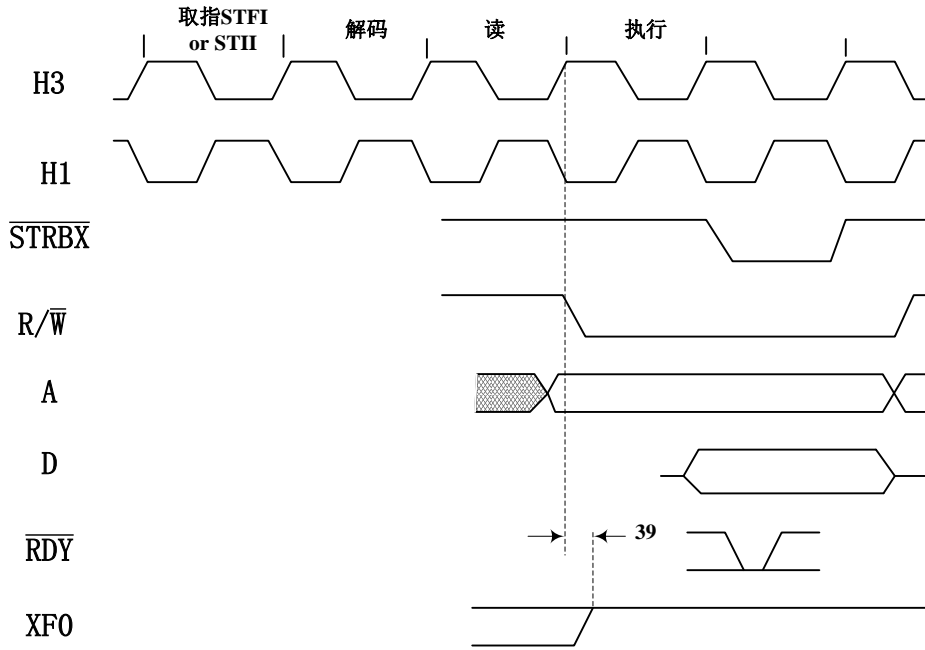


图 9 当执行 STFI 或 STII 时 XF0 的时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
40	H3 高电平到 XF0 低电平的延迟时间	$t_d(H3H-XF0L)$	图 10	—	12	ns
41	H3 高电平到 XF0 高电平的延迟时间	$t_d(H3H-XF0H)$	图 10	—	12	ns
42	H1 变为低电平之前 XF1 建立时间	$t_{su}(XF1)$	图 10	—	9	ns
43	H1 变为低电平之后 XF1 保持时间	$t_h(XF1)$	图 10	—	5	ns

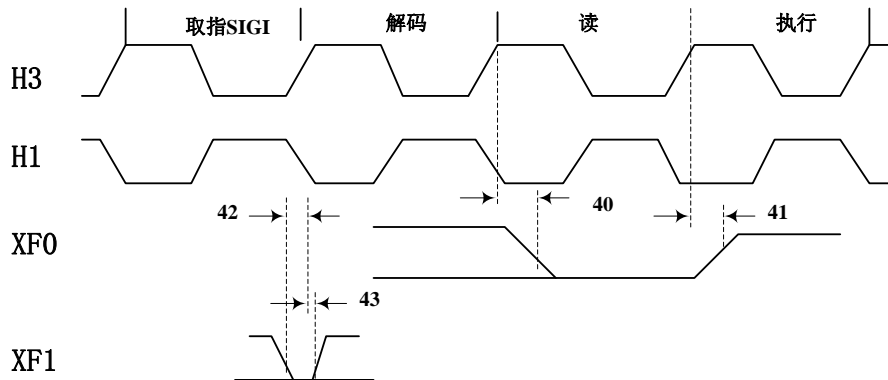


图 10 当执行 SIGI 时 XF0 和 XF1 时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
44	H3 高电平到 XF 有效的的时间	$t_v(H3H-XF)$	图 11	—	12	ns

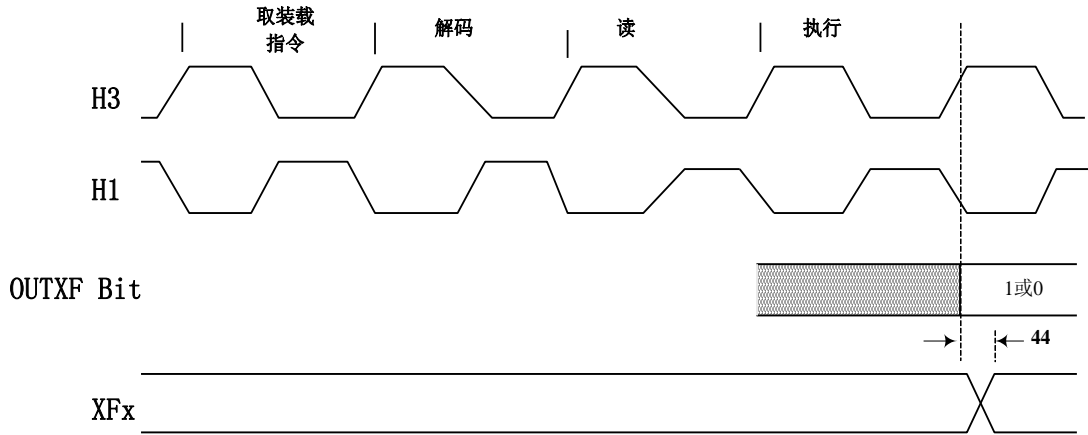


图 11 当配置为输出管脚时装载 XF 寄存器时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
45	在 CLKIN 低电平之前的 RESET 的建立时间	$t_{su}(RESET)$	图 12	—	10	ns
46	CLKIN 高电平到 H1 高电平的延迟时间	$t_d(CLKINH-H1H)$	图 12	2	10	ns
47	CLKIN 高电平到 H1 低电平的延迟时间	$t_d(CLKINH-H1L)$	图 12	2	10	ns
48	在 H1 低电平之前十个 H1 时钟周期之后的 RESET 高电平建立时间	$t_{su}(RESETH-H1L)$	图 12	—	7	ns
49	CLKIN 高电平到 H3 低电平延迟时间	$t_d(CLKINH-H3L)$	图 12	2	10	ns
50	CLKIN 高电平到 H3 高电平延迟时间	$t_d(CLKINH-H3H)$	图 12	2	10	ns

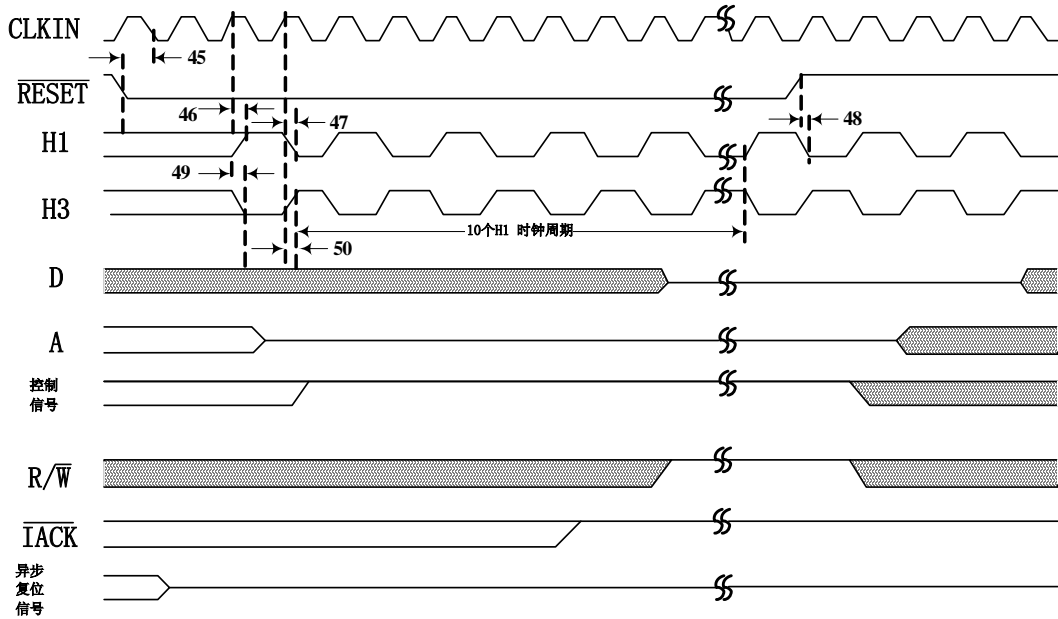


图 12 $\overline{\text{RESET}}$ 时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
51	在 H1 变为低电平之前的 $\overline{\text{INT3-INT0}}$ 的建立时间	$t_{su}(\text{INT})$	图 13	—	10	ns

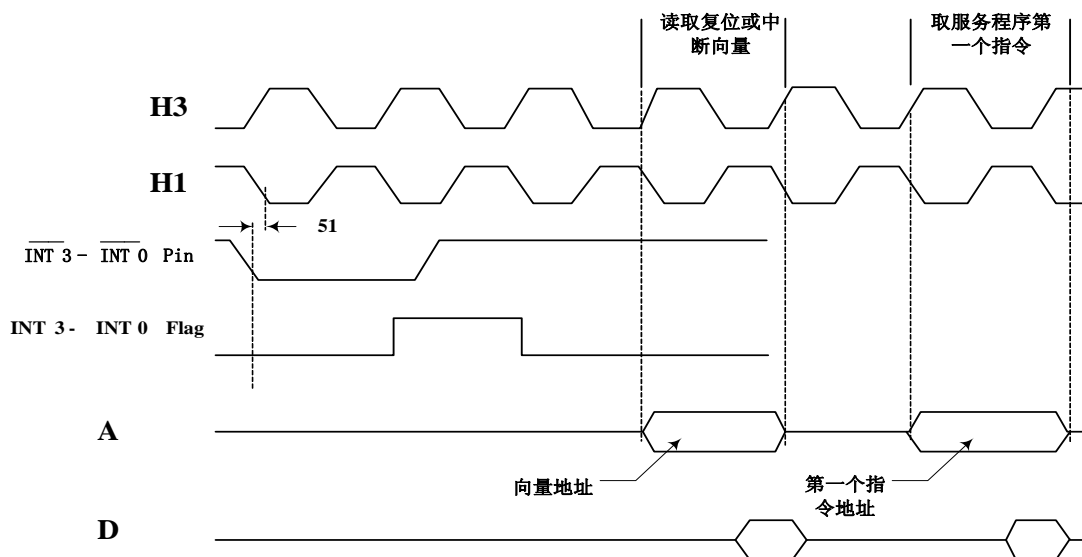


图 13 $\overline{\text{INT3-INT0}}$ 中断响应时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
52	H1 高电平到 $\overline{\text{IACK}}$ 低电平延迟时间	$t_d(\text{H1H-IACKL})$	图 14	—	7	ns
53	H1 高电平到 $\overline{\text{IACK}}$ 高电平延迟时间	$t_d(\text{H1H-IACKH})$	图 14	—	7	ns

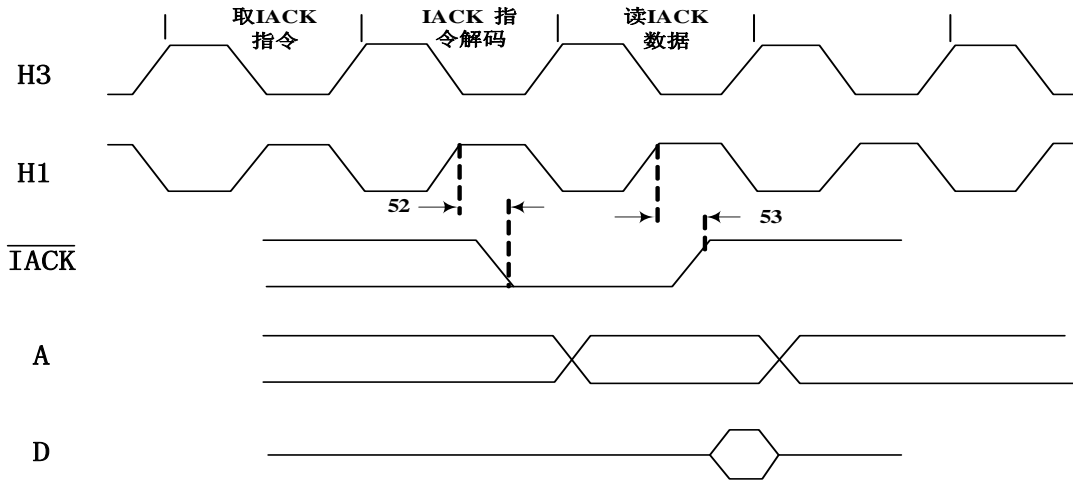


图 14 $\overline{\text{IACK}}$ 时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小	最大	
54	H1 高电平到内部的 CLKX/R 高/低的延迟时间	$t_d(\text{H1H-SCK})$	图 15	—	10	ns
55	CLKX/R 上升时间	$t_r(\text{SCK})$	图 15	—	6	ns
56	CLKX/R 下降时间	$t_f(\text{SCK})$	图 15	—	6	ns
57	CLKX 到 DX 有效的延迟时间	外部时钟	图 15	—	24	ns
		内部时钟		—	16	ns
58	在 CLKR 变为低电平之前 DR 的建立时间	外部时钟	图 15	—	9	ns
		内部时钟		—	17	ns
59	在 CLKR 低电平时的 DR 保持时间	外部时钟	图 15	—	5	ns
		内部时钟		—	5	ns
60	CLKX 到内部的 FSX 高电平/低电平的延迟时间	$t_d(\text{FSX})$	图 15	—	15	ns
61	在 CLKR 变为低电平之前 FSR 的建立时间	外部时钟	图 16	—	7	ns
		内部时钟		—	7	ns
62	从 CLKX/R 低电平时的 FSX/R 输入保持时间	外部时钟	图 16	—	5	ns
		内部时钟		—	5	ns

32位浮点型数字信号处理器SM320C32

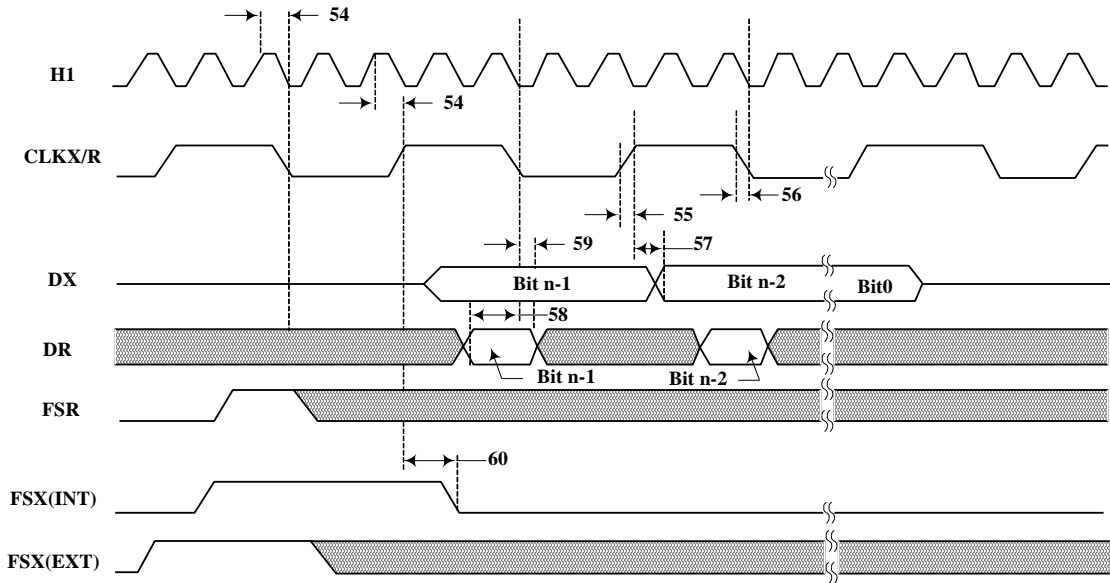


图 15 固定波特率时序

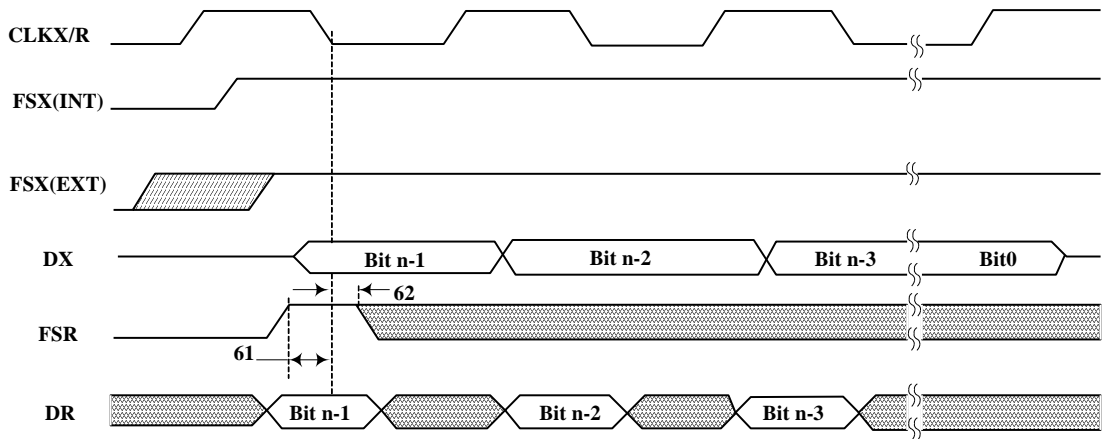


图 16 可变波特率时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
63	H1 变为低电平之前的 $\overline{\text{HOLD}}$ 的建立时间	$t_{su}(\text{HOLD})$	图 17	—	10	ns

32位浮点型数字信号处理器SM320C32

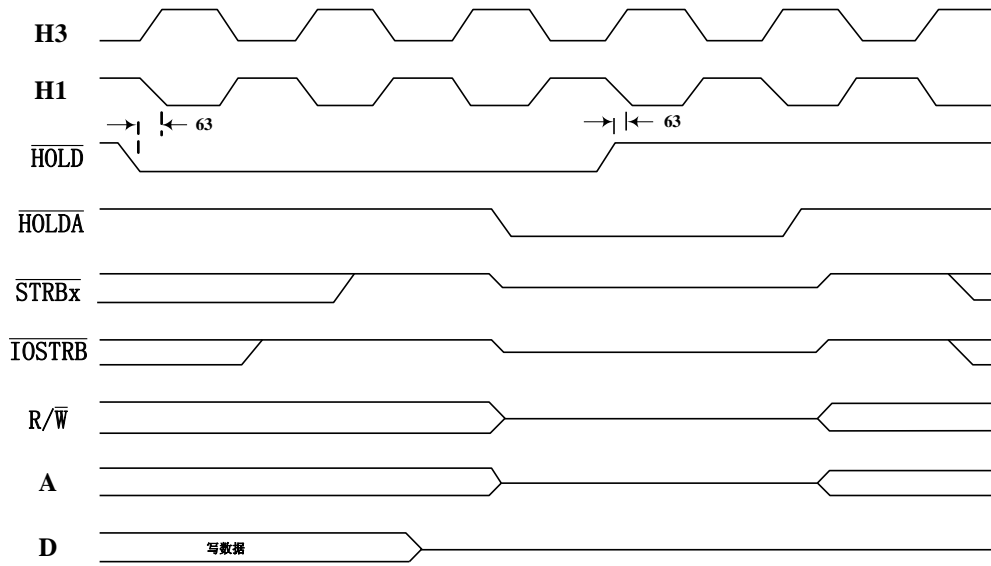


图 17 $\overline{\text{HOLD}}/\overline{\text{HOLDA}}$ 时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
64	H1 变为低电平之前通用输入端口建立时间	$t_{su}(\text{GPIOH1L})$	图 18	—	9	ns
65	H1 低电平之后通用输入端口的保持时间	$t_h(\text{GPIOH1L})$	图 18	—	5	ns
66	H1 高电平之后通用输出端口的延迟时间	$t_d(\text{GPIOH1H})$	图 18	—	10	ns

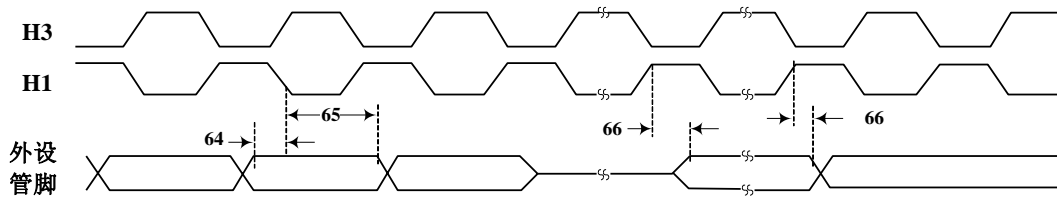


图 18 外设管脚通用 I/O 端口时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
67	从 H1 高电平之后的延迟时间	$t_d(H1H)$	图 19	—	12	ns
68	H1 变为低电平之前外部管脚建立时间	$t_{su}(GPIOH1L)$	图 19	—	9	ns
69	H1 低电平之后外部管脚的数据保持时间	$t_h(GPIOH1L)$	图 19	—	5	ns

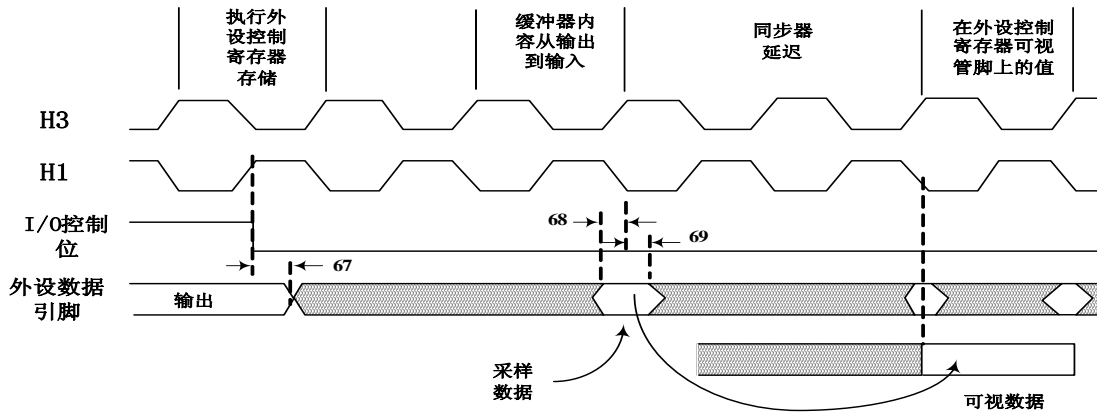


图 19 外设管脚从通用输出到输入模式变化时序

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
70	H1 高电平到外部管脚从输入到输出转换的延迟时间	$t_d(GPIOH1H)$	图 20	—	10	ns

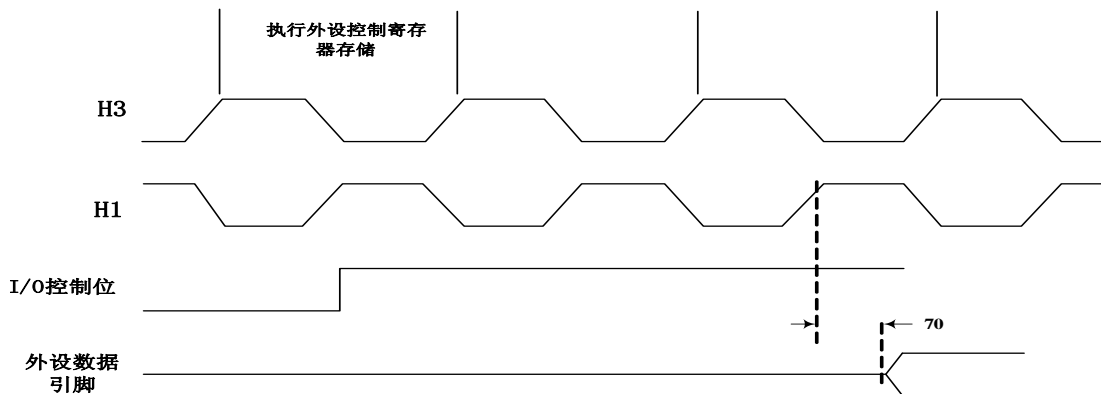


图 20 外围管脚从通用输入到输出模式变化时序

32位浮点型数字信号处理器SM320C32

表 3 开关电特性 (续)

序号	参 数	符号	条件	极限值		单位
				最小值	最大值	
71	H1 变为低电平之前外部 TCLK 的建立时间	$t_{su}(TCLKH1L)$	图 21	—	8	ns
72	H1 变为低电平之后外部 TCLK 的保持时间	$t_h(TCLKH1L)$	图 21	—	5	ns
73	H1 高电平到内部 TCLK 有效延迟时间	$t_d(TCLKH1H)$	图 21	—	9	ns

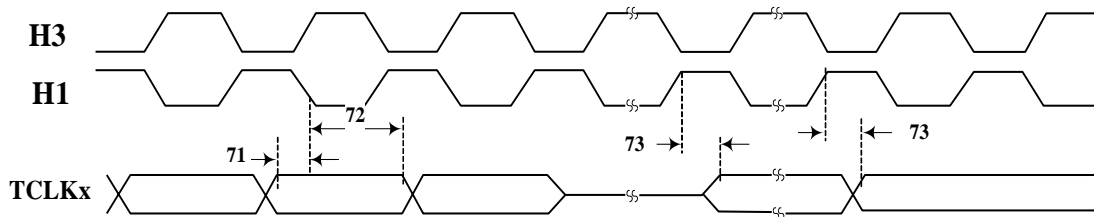


图 21 定时器管脚时序

绝对最大额定值

表 4 绝对最大额定值

项 目	符号	数 值		单位
		最小	最大	
电源电压	V_{DD}	-	7	V
输入电压	V_I	-	7	V
贮存温度	T_{stg}	-65	150	°C
功 耗	P_D	-	2.5	W
引线耐焊接温度 (10s)	T_h	-	300	°C
结温	T_j	-	150	°C

推荐工作条件

表 5 推荐工作条件

项 目	符号	数 值		单位
		最小	最大	
电源电压	V_{DD}	4.75	5.25	V
时钟频率	f		50	MHz
工作电源电流 (50MHz)	I_A		425	mA
工作环境温度	T_A	-55	125	°C

应用

1. 外部存储器接口

SM320C32 拥有一套可配置的外部存储器接口，包含 24 位地址线、32 位数据线和三个独立的多功能 strobe 接口。

2. 示例

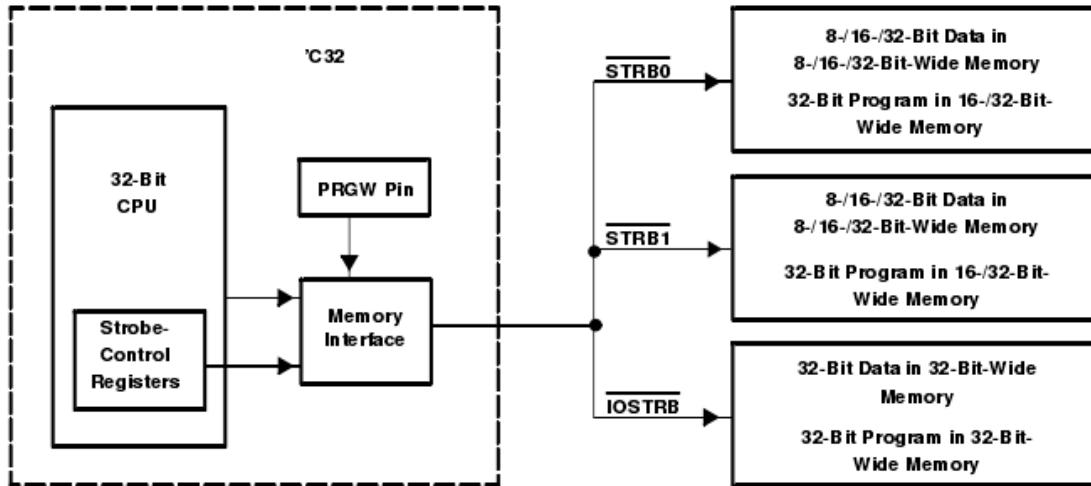


图 22 外部存储器接口示意图

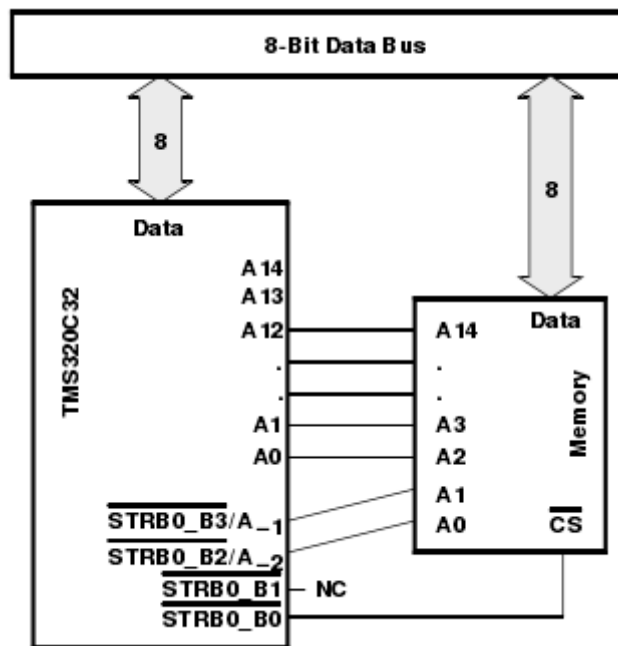


图 23 8 位外部存储器连接示意图

32位浮点型数字信号处理器SM320C32

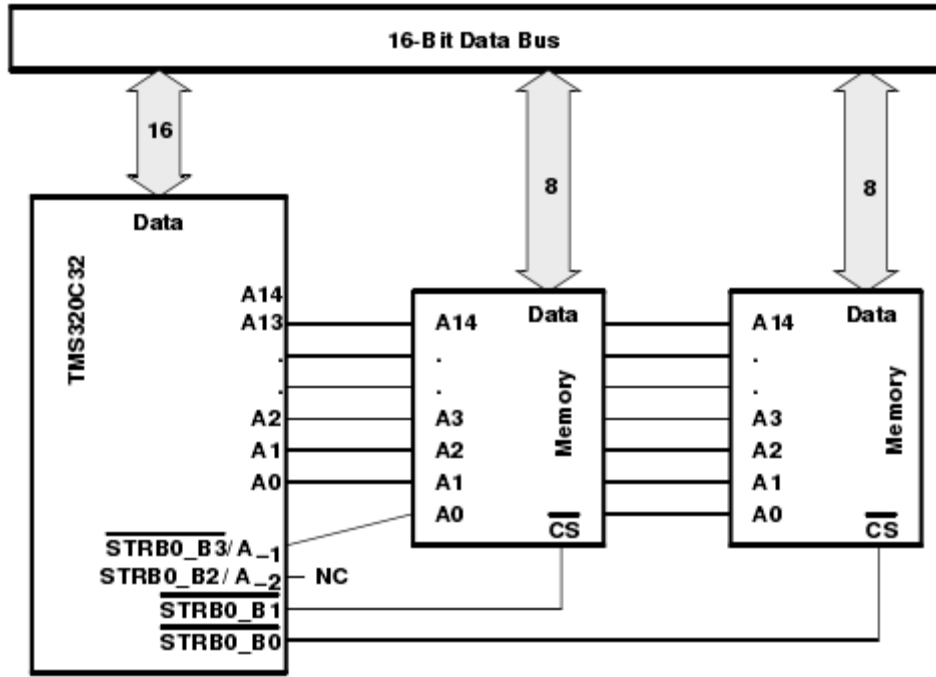


图 24 16 位外部存储器连接示意图

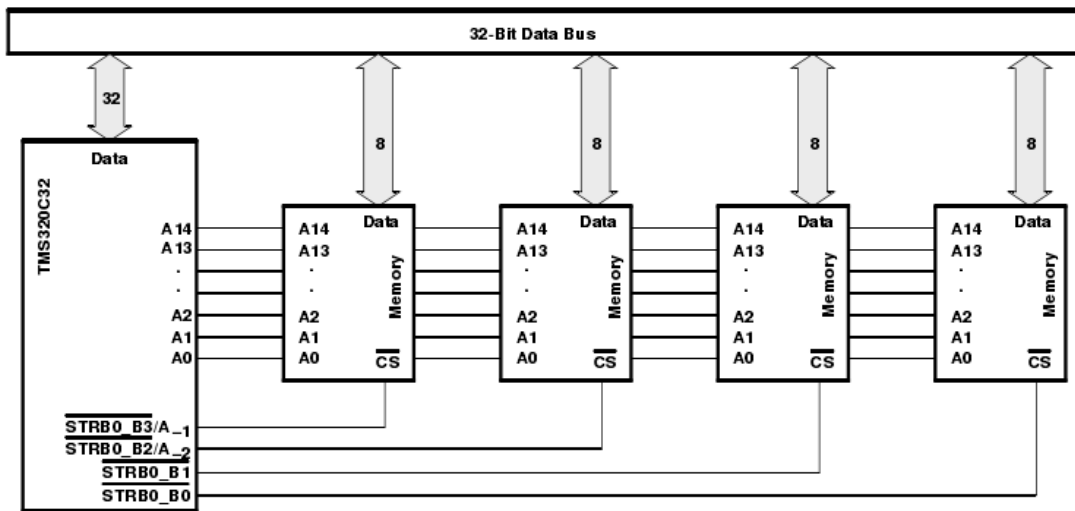


图 25 32 位外部存储器连接示意图

存储器映射

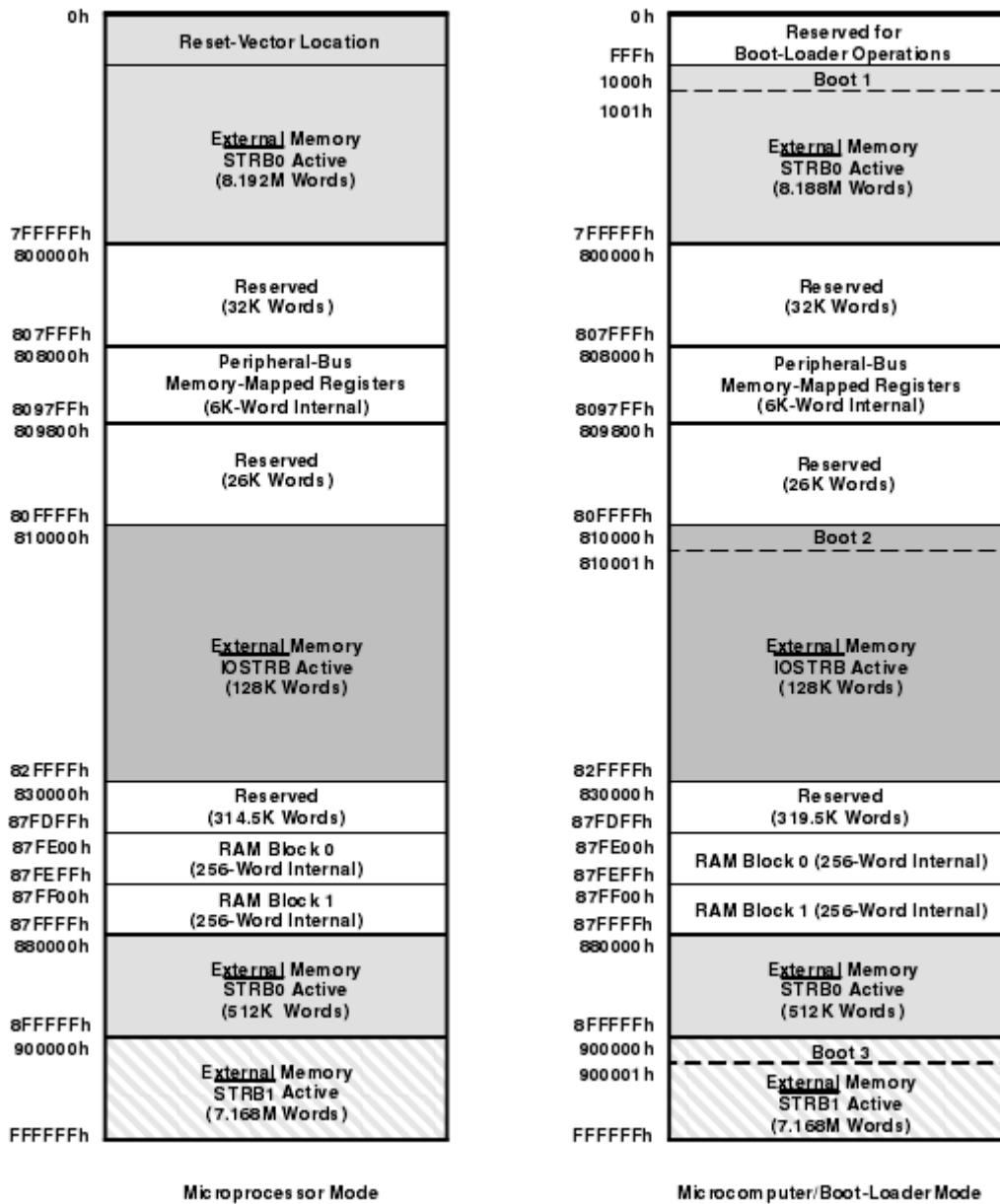


图 26 存储器映射示意图

1. 电源管理

SM320C32 的 CPU 有 IDLE2 和 LOPOWER 两种电源管理模式。在 IDLE2 模式下，没有指令在执行，且 CPU、外设和存储器保持原状态，同时，外部总线输出端处于 idle 状态。当前模式下，H1 时钟信号维持高电平，同时，H3 时钟信号维持低电平直到插入任一个外部中断。在 LOPOWER 模式下，CPU 会继续执行指令，DMA 继续执行搬运，但 CLKIN 的频率降为原来的 1/16。

2. 启动加载

32位浮点型数字信号处理器SM320C32

SM320C32 拥有灵活的程序启动加载功能，可通过串口、EPROM 和其它标准固态存储器实现。程序启动加载可支持采用或不采用握手方式的数据传输。

3. 外设

SM320C32 外设由一个串口、两个定时器和两个 DMA 通道组成。地址映射示意图如下图 8 所示：

80 8000h	DMA 0 Global Control
80 8004h	DMA 0 Source Address
80 8006h	DMA 0 Destination Address
80 8008h	DMA 0 Transfer Counter
80 8009h	
80 8010h	DMA 1 Global Control
80 8014h	DMA 1 Source Address
80 8016h	DMA 1 Destination Address
80 8018h	DMA 1 Transfer Counter
80 8020h	Timer 0 Global Control
80 8024h	Timer 0 Counter
80 8028h	Timer 0 Period
80 8030h	Timer 1 Global Control
80 8034h	Timer 1 Counter
80 8038h	Timer 1 Period Register
80 8040h	Serial Port Global Control
80 8042h	FSX/DX/CLKX Port Control
80 8043h	FSR/DR/CLKR Port Control
80 8044h	R/X Timer Control
80 8045h	R/X Timer Counter
80 8046h	R/X Timer Period
80 8048h	Data Transmit
80 804Ch	Data Receive
80 8050h	Reserved
80 805Fh	
80 8060h	IOSTRB-Bus Control
80 8064h	STRB0-Bus Control
80 8068h	STRB1-Bus Control
80 8069h	Reserved
809 7FFh	

Reserved

图 27 外设寄存器地址映射示意图

4. 中断

为减少外部逻辑、简化接口，外部中断可通过边沿或电平触发。

EA (ΠTP) + 00h	Reserved
EA (ΠTP) + 01h	INT0
EA (ΠTP) + 02h	INT1
EA (ΠTP) + 03h	INT2
EA (ΠTP) + 04h	INT3
EA (ΠTP) + 05h	XINT0
EA (ΠTP) + 06h	RINT0
EA (ΠTP) + 07h	Reserved
EA (ΠTP) + 08h	Reserved
EA (ΠTP) + 09h	TINT0
EA (ΠTP) + 0Ah	TINT1
EA (ΠTP) + 0Bh	DINT0
EA (ΠTP) + 0Ch	DINT1
EA (ΠTP) + 0Dh	Reserved
EA (ΠTP) + 1Fh	Reserved
EA (ΠTP) + 20h	TRAP0
	⋮
EA (ΠTP) + 3Bh	TRAP27
EA (ΠTP) + 3Ch	TRAP28
EA (ΠTP) + 3Dh	TRAP29
EA (ΠTP) + 3Eh	TRAP30
EA (ΠTP) + 3Fh	TRAP31

Reserved

图 28 中断、陷阱向量表

外形尺寸

1. 封装形式

SM320C32 的封装形式为 CQFP144。

2. 外形尺寸

SM320C32 的外形尺寸如下图所示，尺寸标识见表：

32位浮点型数字信号处理器SM320C32

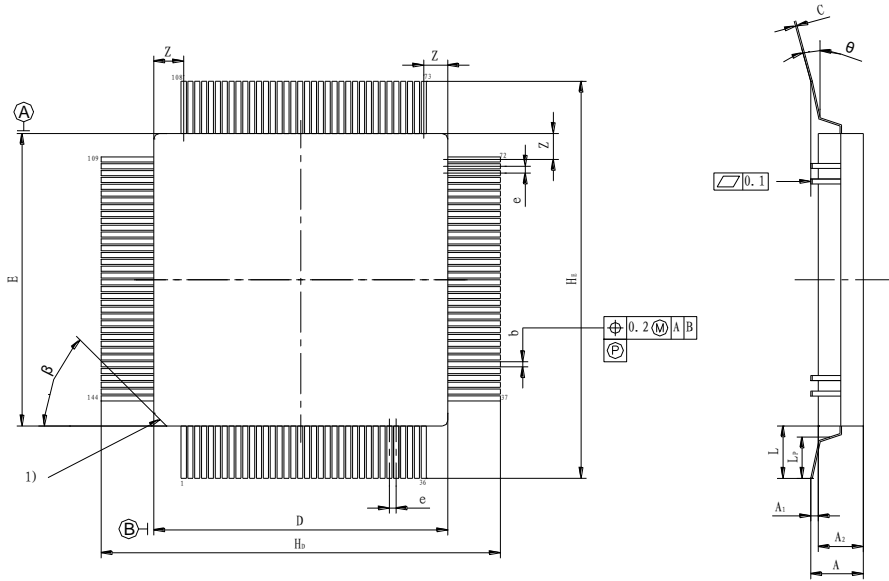


图 29 CQFP 型陶瓷四面引线扁平封装外形图
表 6 封装尺寸表

尺寸符号	数值			角度(°)
	最小	公称	最大	
A	—	—	3.65	
A ₁	0.10	—	0.30	
A ₂	—	—	3.35	
b	0.25	—	0.35	
C	0.12	—	0.25	
D	26.90	—	27.50	
E	26.90	—	27.50	
e	—	0.65	—	
H _D	29.20	—	34.00	
H _E	29.20	—	34.00	
Z	—	—	2.40	
L	1.00	—	2.80	
L _p	0.73	—	1.03	
θ				0~8
β				45 (公称值)
注: θ、β 无需进行测量。				