高吞吐率LDPC码编译码器的FPGA实现

王英喆，王振宇，严 伟，时广轶
（北京大学 软件与微电子学院，北京 100871）

摘 要：新兴的60 GHz无线通信标准IEEE 802.11ad在采用单载波调制方案时，最高传输速率可达到4.62 Gb/s，最高处理速率为1.76 GHz. 标准中，采用准循环低密度奇偶校验码(QC-LDPC)以保证高传输速率下较低的误码率. 针对该标准，设计并实现了高吞吐率的LDPC编译码器. 编码器用移位寄存器作为基本单元实现. 与此同时，对比了生成矩阵的不同存储方式以优化编码结构. 译码算法选用改进的最小和算法，译码器的硬件结构兼容4种码率，并拥有3种调制方法的接口. 按照设计结构，用Verilog硬件描述语言实现了LDPC编译码器，并得到了正确的仿真结果. 同时，在V7-485t FPGA上完成综合，分析逻辑资源消耗. 结果，当FPGA时钟频率为150 MHz时，传输速率可达到1.26 Gb/s.

关键词：QC-LDPC；高吞吐率；FPGA；并行结构；最小和
中图分类号：TN402 **文献标识码**：A **文章编号**：1000－7180(2015)11－0097－04

High-throughput LDPC Coder and Decoder FPGA Implementation

WANG Ying-zhe, WANG Zhen-yu, YAN Wei, SHI Guang-yi
(Institute of Software & Microelectronics, Peking University, Beijing 100871, China)

Abstract: IEEE 802.11ad is an emerging 60 GHz wireless communication standard. The maximum transfer rate is 4.62 Gb/s, and the maximum processing rate is 1.76 GHz, when using single carrier modulation schemes. The standard use a quasi-cyclic LDPC code (QC-LDPC) in order to ensure a low error rate at a high transfer rate. For the standard, this paper designs high-throughput LDPC coder and decoder. Implementation of the encoder use shift-register as the basic unit. At the same time, compared to the different storage methods of generation matrix, paper optimizes the coding structure. Decoding algorithm select modified minimum sum algorithms. Decoder hardware architecture is compatible with four kinds of bit rates, and has three kinds of modulation method interface. In accordance with the design of the structure, paper implements LDPC coder and decoder with the Verilog hardware description language, and get the correct simulation results. It completes the comprehensive and analyses logic resource consumption on V7-485t FPGA. As a result, when the FPGA clock frequency is 200 MHz, the transmission rate is up to 1.68 Gb/s.

Key words: QC-LDPC; high-throughput; FPGA; parallel structure; minimum-sum

作者简介：

王英喆 男，(1990-)，硕士研究生. 研究方向为集成电路与系统芯片设计. E-amil：yingzhe_wang@sina.com.

王振宇 男，(1979-)，副教授. 研究方向为MEMS.

严 伟 男，(1978-)，副教授. 研究方向为微电子与嵌入式系统领域.

时广轶 男，(1980-)，副教授. 研究方向为MEMS及应用技术.

收稿日期：2015－01－21；**修回日期**：2015－03－17