

多核密码处理器数据缓存机制研究

陈晓钢¹, 李 伟^{1,2}, 徐金甫¹

(1 解放军信息工程大学, 河南 郑州 450000;

2 复旦大学 专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 对多核密码处理器的数据缓存特点进行了研究, 提出了一种基于双 RAM 与硬件队列的多核密码处理器数据缓存机制, 并设计了相应的多核数据分配控制器. 最后与现有的数据缓存方式在多核密码处理器中的应用性能进行了对比, 结果证明提出的多核数据缓存机制具有更高的吞吐率与核心利用率, 从而提高了多核密码处理性能.

关键词: 多核密码处理器; 数据缓存; 双 RAM

Research on Data Buffer Mechanism of MCP

CHEN Xiao-gang¹, LI Wei^{1,2}, XU Jin-fu¹

(1 PLA Information Engineering University, Zhengzhou 450000, China;

2 State Key Laboratory of Special Integrated Circuit and System, Fudan University, Shanghai 201203, China)

Abstract: This paper researched the data buffer feature of MCP and proposed a data buffer mechanism based on couple RAM and circuit-queue. Then this paper designed a data buffer controller. At last, different schemes of MCP data buffering are compared. The result shows that the mechanism proposed in this paper has higher throughput rate and higher core use ratio.

Key words: multi-core cipher processor; data cache; couple RAM

作者简介:

陈晓钢 男, (1991-), 硕士研究生. 研究方向为 SoC 与微处理器设计.

李 伟 男, (1983-), 博士研究生. 研究方向为多核密码处理器设计.

徐金甫 (通讯作者) 男, (1965-), 博士, 副教授. 研究方向为专用集成电路设计.

E-mail: edward.s.chen0401@qq.com.