

FPGA 运行时重构的延迟隐藏机制研究与实现

刘 伟¹, 柴 镇¹, 周浩杰², 吴 东², 柴志雷^{1, 2}

(1 江南大学 物联网工程学院, 江苏 无锡 214122;

2 数学工程与先进计算国家重点实验室, 江苏 无锡 214125)

摘 要: 设计并实现了一种 FPGA 运行时重构的延迟隐藏机制, 通过在 FPGA 中进行页面管理、缓存架构设计、缓存策略研究, 在多个任务运行时调度中, 可以对用户隐藏 BIT 文件配置的延迟, 提高了总体运行效率. 从而使 FPGA 具备了和 GPU 一样的用户模式, 为 FPGA 更广泛地用于计算领域提供了技术思路.

关键词: FPGA; 运行时重构; 延迟; 开发方式

Research and Implementation of Delay Hidden Mechanism for FPGA Runtime Reconfiguration

LIU Wei¹, CHAI Zhen¹, ZHOU Hao-jie², WU Dong², CHAI Zhi-lei^{1, 2}

(1 School of Internet of Things, Jiangnan University, Wuxi 214122, China;

2 State Key Laboratory of Mathematical Engineering and Advanced Computing, Wuxi 214125, China)

Abstract: This paper designs and realizes a delay hidden mechanism for FPGA runtime reconfiguration. Through the pages management of FPGA, the cache architecture design and caching policy research, the mechanism can hid the configuration delay of BIT file, improve the overall efficiency in the multiple tasks scheduling. It gives FPGA the same user mode with GPU, provides the idea of using FPGA in computing technology more widely.

Key words: field programmable gate arrays (FPGA); runtime reconfiguration; delay; development mode

作者简介:

刘 伟 男, (1990-), 硕士研究生.研究方向为嵌入式系统设计与集成. E-mail: 313165240@qq.com.

柴 镇 男, (1992-), 硕士研究生.研究方向为嵌入式软件.

周浩杰 男, (1981-), 博士, 高级工程师.研究方向为计算机系统结构、大数据处理.

吴 东 男, (1971-), 博士, 高级工程师.研究方向为 FPGA 高效能计算机.

柴志雷 男, (1975-), 博士, 副教授.研究方向为嵌入式系统设计技术、高性能视觉系统、基于 FPGA 的可重构计算和 FPGA 操作系统等.