基于 FPGA 的万兆以太网链路的设计与实现

孔德伟 1,2 ，袁国顺 1 ，刘小强 1,2
（1 中国科学院 微电子研究所，北京 100029；2 中国科学院大学，北京 100049）

摘 要：本文设计了基于 FPGA 的万兆以太网链路传输系统.对现有七层 OSI 模型进行简化，设计了五层网络传输模型，并深入研究了传输层、网络层和数据链路层.实现了完备的 UDP/IP 协议、ARP 协议和万兆数据链路层 MAC 控制器，UDP/IP 协议实现了数据的封装与解封，ARP 协议解决了 IP 地址与 MAC 地址映射的问题，方便大规模的系统级联.使用重复的 CRC 校验单元，实现了 CRC 校验零延迟，加快了数据的传输过程.基于 Xilinx 的 Kintex UltraScale 器件进行了系统设计实现，并使用 MC02 开发板进行了系统功能测试.

关键词： 万兆以太网；FPGA；UDP/IP；ARP；CRC

The design and implementation of 10 gigabit ethernet link based on FPGA

KONG De-wei 1,2 ，YUAN Guo-shun 1 ,LIU Xiao-qiang 1,2
(1 Institute of Microelectronics of China Academy of Sciences, Beijing 100029, China;
2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract：Based on the FPGA hardware, this paper designs a 10 Gigabit Ethernet link transmission system. Simplifying the seven-layer OSI model, the paper designs a five-layer network transmission model and deeply studies the transport layer, network layer and data link layer. A complete UDP/IP protocol, ARP protocol and 10 Gigabit data link layer MAC controller are implemented. The UDP/IP protocol implements data encapsulation and decapsulation. The ARP protocol solves the mapping problem between IP address and MAC address, which is conducive to build a large-scale system. Using repeated CRC units, the paper implements CRC with zero delay, which speeds up the data transmission process. The system was designed and implemented on the Xilinx-based Kintex UltraScale device and the system function test was performed on the MC02 development board.

Key words： 10 Gigabit Ethernet; FPGA; UDP/IP; ARP; CRC

作者简介：
孔德伟 男，（1995-），硕士研究生，研究方向为 SOC 设计.
E-mail：kongdewei@ime.ac.cn.
袁国顺 男，（1966-），研究员，博士生导师，研究方向为数模混合集成电路设计.
刘小强 男，（1990-），博士研究生，研究方向为图像处理和 SOC 设计