

# 一种快速高效的粗粒度可重构架构编译框架

尹文志，赵仲元，毛志刚，王 琴，绳伟光

(上海交通大学 电子信息与电气工程学院，上海 200240)

**摘要：**利用硬件和软件协同的设计技术来进一步提高粗粒度可重构加速器在处理循环时的编译时间与面积效率(单位面积的性能).在硬件方面将处理单元内部的寄存器堆结构优化,用旁路互联的方式替代.软件方面基于这种结构提出了一种新颖,高效的循环映射算法.该算法相对于同期的研究算法,极大的缩小了搜索最优解决方案的空间.利用前向贪婪和反向回溯迭代运行,可以获得快速而又稳定的编译时间,同时保证了接近最优解的性能.在上述硬件与软件协同的解决方案下,架构的面积与计算效率得到了提升.实验数据显示,将本文的编译框架与最新技术比较,编译速度可提升 1955 倍, 面积效率提升到 1.36 倍.

**关键词：**粗粒度可重构架构；面积高效；映射算法；回溯

## A fast and efficient compiler framework for CGRAs

YIN Wen-zhi, ZHAO Zhong-yuan, MAO Zhi-gang, WANG Qin, SHENG Wei-guang

(School of Electronic Information and Electrical Engineering, Shanghai JiaoTong University,  
Shanghai 200240, China)

**Abstract:** This paper provides a hardware and software co-design technique to optimize the compilation time and area efficiency of loop acceleration on Coarse-Grained Reconfigurable Architectures (CGRAs). From the hardware prospective, the architecture of each processing element (PE) is optimized by replacing register file within PE with bypass logic. On the software side, we develop a novel and efficient loop mapping algorithm, which greatly shrinks the search space for the optimal solution. The iteration of forward greedy placement and backward recovery obtains a fast and stable compile speed and guarantees performance close to the optimal solution. This hardware and software co-design method improves the area and computation efficiency. Experiment result shows that our framework improves 1955x in compile speed and obtains a 1.25x area efficiency.

**Key words:** CGRA; area efficient; mapping; backtrack

**作者简介：**

尹文志 男, (1994-), 硕士研究生.研究方向为粗粒度可重构处理器编译器后端技术.E-mail:mrwensim@sjtu.edu.cn

赵仲元 男, (1989-), 博士研究生.研究方向为可重构计算的编译架构.

毛志刚 男, (1962-), 教授.研究方向为可重构硬件结构设计技术研究.

王 琴 女, (1975-), 副教授.研究方向为大规模集成电路设计、先进集成电路设计方法.

绳伟光 男, (1977-), 助理研究员.研究方向为高可靠集成电路设计.