

# 可重构阵列处理器 Harris 算法并行化实现

吴皓月 1 , 邓军勇 1 , 山 蕊 1 , 张玉婷 2 , 贺飞龙 2

(1 西安邮电大学 电子工程学院, 陕西 西安 710121; 2 西安邮电大学 计算机学院, 陕西 西安 710121)

**摘要:** 本文提出可重构阵列处理器 Harris 并行化的算法映射方式, 其中可重构阵列处理器解决了算法在硬件上修改就需要结构重新调整的缺陷同时簇间并行化解决了算法在软件速度和延时的缺陷。通过 modelsim、Xilinx 公司硬件设计工具 ISE 和 BEE4 开发平台实现 Harris 算法对分辨率为 512\*512 的图像映射, 实验结果表明, 整个算法映射时间为 0.143 ms, 这个时间相比于相同条件下 CPU、GPU、FPGA 实现 Harris 算法映射的时间都短。

**关键词:** Harris 算法; 可重构阵列处理器; 并行性;

## Reconfigurable Array Processor Harris

### Algorithm is Implemented in Parallel

WU Hao-yue 1 , DENG Jun-yong 1 , SHAN Rui 1 , ZHANG Yu-ting 2 ,  
HE Fei-long 2

(1 College of Electronic Engineering,Xi'an University of Posts and Telecommunications,Xi'an  
710121,China;

2 College of Computer Science,Xi'an University of Posts and Telecommunications,Xi'an  
710121,China)

**Abstract:** In this paper, the reconfigurable array processor Harris parallelization algorithm mapping methods, the reconfigurable array processor solves the algorithm on the hardware modification requires the defect of structure readjustment between cluster parallel at the same time solve the defect of the algorithm in software speed and time delay. By modelsim, Xilinx ISE company hardware design tools and BEE4 development platform to realize the Harris algorithm to the resolution of 512 \* 512 image map, the experiment results show that the algorithm mapping time of 0.143 ms, under the condition of the time compared to the same CPU, GPU, the FPGA implementation Harris algorithm mapping time is short.

**Key words:** Harris algorithm;reconfigurable array processor;parallelism;

**作者简介:**

吴皓月 女, (1995-), 硕士研究生.研究方向为微电子学与固体电子学.

E-mail: why1484132896@163.com.

邓军勇 男, (1981-), 博士, 副教授.研究方向为集成电路设计.

山 蕊 女, (1986-), 博士, 讲师.研究方向为集成电路设计.