4GS/s-12bit ADC 内置数字下变频器(DDC)的 ASIC 实现

薛金鑫　1，2　，马崇鹤　1，2　，周　磊　1，2　，吴旦昱　1，2　，武　锦　1，2

(1 中国科学院 微电子研究所，北京 100029；2 中国科学院大学，北京 100049)

摘　要：本文提出了一种适合 ASIC 实现的可编程的数字下变频器（DDC）设计方法，该 DDC 嵌入于 4GS/s-12bit ADC 中，能够处理频率为 4GHz 的输入信号，并提供抽取因子分别为 4、8、16、32 的降采样功能.设计的 DDC 由一个基于 CORDIC 算法实现的数控振荡器（NCO）和一个全半带滤波器（HB-FIR）级联结构的抽取滤波器组组成.优化半带滤波器系数和各级数据精度，提出多种改进结构优化设计，有效减少硬件开销.基于 40 nm CMOS 工艺，完成数字下变频器的前端设计和后端实现，并进行了流片.仿真结果显示，该设计可以在 500 MHz 的工作时钟频率下达到设计目标，抽取因子为 4 模式下，最大无衰减通带带宽可达 420 MHz，版图面积 1550*650　μm　2　，0.9 V 工作电压，功耗为 180.69 mW.验证了该设计方法适合于高速高精度数字信号的　2n　下变频.

关键词：数字下变频器；数控振荡器；40 nm；ASIC

ASIC Implementation of Digital Down Converter

Built in 4 GS/s-12 bit ADC

XUE Jin-xin　1,2　,MA Chong-he　1,2　,ZHOU Lei　1,2　,

WU Dan-yu　1,2　，WU Jin　1,2

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract：This paper proposes a programmable digital downconverter (DDC) design method for ASIC implementation. The DDC is embedded in a 4GS/s-12bit ADC and is capable of processing input signals at a frequency of 4GHz and provides extraction factors of 4 Downsampling function for 8, 16, 16 and 32. The designed DDC consists of a numerically controlled oscillator based on the CORDIC algorithm and a decimation filter bank implemented by a full HB-FIR filter. According to the HB-FIR filter coefficient characteristics and spectral response characteristics, a variety of improved structural optimization designs are proposed in hardware implementation, reducing the area by about 50%. Based on the 40nm CMOS process, digital front-end and back-end implementations of the digital downconverter were completed and taped out. The simulation results show that the design can achieve the design goals at a working clock frequency of 500 MHz. The layout area is 1550*650um^2, and the operating voltage is 0.9 V. The power consumption is 180.69 mW. It is verified that the design method is suitable for 2^n down conversion of high-speed and high-precision digital signals.

Key words：DDC;NCO;40 nm；ASIC

作者简介：

薛金鑫　，(1993-)，硕士研究生.研究方向为数模混合集成电路设计.

马崇鹤　，(1990-)，硕士，助理研究员.研究方向为大规模数字集成电路设计.

周　磊　，(1986-)，博士，副研究员.研究方向为数模混合集成电路设计.

吴旦昱　，(1985-)，博士，副研究员.研究方向为数模混合集成电路设计.

武　锦（通讯作者）　女，(1978-)，博士，研究员.研究方向为数模混合集成电路设计.

E-mail：wujin@ime.ac.cn.