

# 基于 RAM 存储阵列的并行多通道 FIFO 设计

袁亚鹏, 倪伟, 郑强强, 张多利, 宋宇鲲  
(合肥工业大学 电子科学与应用物理学院, 安徽 合肥 230009)

**摘要:** FPGA 中 Block RAM 的块状特性决定了具有读写位宽转换功能的异步 FIFO 容易存在存储资源浪费.针对这个现象,本文提出一种基于存储阵列的新型并行 FIFO 结构——多通道 FIFO 共享多 RAM (Multi-channel-FIFO sharing Multiple RAM, MFMR).与通用 FIFO IP 相比,MFMR 以仅增加少量通用 Slice 资源为代价,大幅度降低专有 Block RAM(BRAM)存储资源消耗,成倍提升存储资源空间有效利用率,最大可达通用 FIFO IP 资源利用率的 N 倍,其中  $N=\max(\alpha, 1/\alpha)$ ,  $\alpha$  是 FIFO 读位宽与写位宽的比值。

**关键词:** 并行 FIFO; 位宽转换; 存储阵列; 存储浪费

## Parallel Multi-Channel FIFO Design Based on RAM Storage Array

YUAN Ya-peng, NI Wei, ZHENG Qiang-qiang, ZHANG Duo-li, SONG Yu-kun  
(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei  
230009, China)

**Abstract:** The feature of block RAM in FPGA determines that asynchronous FIFO with read-write bit-width conversion is easy to waste of storage resources. To solve this problem, a new parallel FIFO architecture, multi-channel FIFO sharing multiple RAM (MFMR), based on Storage array, is proposed in this paper. Compared with the common FIFO IP, MFMR reduces the consumption of proprietary Block RAM (BRAM) storage resource by a small amount of only a few general-purpose slice resources, and multiplies the efficient utilization of storage resources by up to N times the utilization of common FIFO IP resources, in which  $N=\max(\alpha, 1/\alpha)$ , where  $\alpha$  is the ratio between the read-bit width and the write-bit width of the FIFO.

**Key words:** parallel FIFO; bit-width conversion; storage array; storage waste

**作者简介:**

袁亚鹏男, (1992-), 硕士研究生.研究方向为集成电路设计与测试.E-mail:jsangypeng@qq.com.

倪伟男, (1977-), 博士, 副教授, 硕士生导师.研究方向为大规模数字集成电路设计、可重构计算和多核与片上网络等.

郑强强男, (1991-), 硕士研究生.研究方向为 SoC 设计.

张多利男, (1976-), 博士, 研究员, 硕士生导师.研究方向为多核处理器体系结构与设计方法、多媒体专用集成电路设计实现等.

宋宇鲲男, (1975-), 博士, 副研究员.研究方向为面向数据高密和计算密集应用的 SoC/MPSO 体系结构与实现.