串行 SCL 极化码译码器

刘丽华 1，2，管武 1，梁利平 1
(1 中国科学院 微电子研究所，北京 100029；2 中国科学院大学，北京 100029)

摘要： 基于列表的极化码串行抵消译码算法（SCL 算法）可以改善中短码长的误码性能，但其递归结构大大降低了译码吞吐率，但同时也带来了大的硬件复杂度和硬件资源消耗. 本文提出了非递归结构的基于似然比的列表串行抵消译码算法(LLR-SCL 算法)，设计了码长为 1 024 比特、搜索路径为 2 的 LLR-SCL 译码器.仿真测试表明，该译码器具有较好的误码性能，且在 Xilinx XC7V2000 FPGA 上主频可以达到 227 MHz，占用硬件资源较低，复杂度小.

关键词： 极化码 SCL 译码器；串行；资源消耗低；FPGA 实现

A Serial Successive-Cancellation List Decoder of Polar Codes

LIU Li-hua1，2，GUAN Wu1，LIANG Li-ping1
(1 Institute of Microelectronics of the Chinese Academy of Sciences， Beijing 100029，China；2 University of Chinese Academy of Sciences，Beijing 100029, China)

Abstract： The successive cancellation list (SCL) algorithm can improve the decoding performance of polar codes with short and moderate code lengths. However the recursive structure results in the lower throughput， large hardware complexity and cost. A LLR-SCL arithmetic based non-recursive structure is proposed. And a LLR-SCL decoder of length 1 024 and list size L = 2 is designed. The simulation result shows the error performance is good. Also， the proposed LLR-SCL decoder is implemented under Xillinx XC7V2000 FPGA. The synthesis result shows that the utilization rate of hardware resources is low and the frequency is up to 227 MHz.

Key words： polar codes SCL decoder; serialization; less hardware cost; FPGA implementation

作者简介：
刘丽华女，(1993-)，硕士研究生.研究方向为通信与信息处理.E-mail：liulihua@ime.ac.cn.
管武男，(1981-)，博士，副研究员.研究方向为信道编码与软件无线电.
梁利平男，(1969-)，博士，研究员.研究方向为高性能 DSP 和数字集成电路设计技术.