

# 一种 SRIO 交换器内部网络设计

胡孔阳, 韩琼磊, 顾大晔

(中国电子科技集团公司 第三十八研究所, 安徽 合肥 230088)

**摘要:** 针对 SRIO 交换器数据通路的特点, 提出了一种交换器内部的互连网络设计. 重点解决了实现交换网络的三个问题: 1. SRIO 端点与端点的跨时钟域转换; 2. SRIO 传输层包的组合与拆分; 3. 多个源端点向同一个目的端点请求时的仲裁. 使用 VerilogHDL 对设计进行了描述, 同时设计了 SRIO 端点模型并与之互连, 对交叉网络进行随机测试, 通过自动化比对收、发端点的数据包验证设计的正确性. 经过验证, 本设计可以利用 SRIO 端点控制器 IP 基于 ASIC 或 FPGA 构建 SRIO 交换器.

**关键词:** SRIO 交换器; 交换网络; 传输层包; 跨时钟域; 仲裁

## ASRIO Switch Inside Network Design

HU Kong-yang, HAN Qiong-lei, GU Da-ye

(No.38 Research Institute, China Electronics Technology Group Corporation, Hefei 230088, China)

**Abstract:** According to the characteristics of SRIO switch data path, we proposed one design to build switch inside network. Focus on solving three problems to make switch network: 1. Clock domain crossing between SRIO endpoint to endpoint; 2. SRIO transmission line's package merging and splitting; 3. Arbitration between multi-source endpoint to the same endpoint. We used VerilogHDL to describe this design, and also design the SRIO endpoint model to connect with the network, to make the random test, we check the input and output package to verify the correctness automatic. The verification proves that this design can use SRIO end point controller in ASIC or FPGA to build SRIO switch.

**Key words:** coupling transitions; low power encoding; data bus; system on chip

**作者简介:**

胡孔阳男, (1986-), 硕士, 工程师. 研究方向为数字集成电路设计与验证. E-mail: hukongy123@163.com.

韩琼磊男, (1983-), 硕士, 工程师. 研究方向为数字集成电路设计与验证.

顾大晔男, (1987-), 硕士, 工程师. 研究方向为数字集成电路设计与验证.