

一种采用新型逻辑算法的 SAR ADC

黄添益 1,2,4, 王本艳 3, 景蔚亮 3, 宋志棠 1,2,4, 陈邦明 1,2,4

(1 中国科学院 上海微系统与信息技术研究所 信息功能材料国家重点实验室, 上海 200050; 2 上海科技大学 物质科学与技术学院, 上海 201210; 3 上海新储集成电路有限公司, 上海 201500;4 中国科学院大学, 北京 100049)

摘要: 基于 SMIC 40nm CMOS 工艺, 设计了一种 12 位逐次逼近寄存器式模数转换器 (SAR ADC) .在正常工作模式的基础上, 增加了当模拟输入信号变化缓慢时, 锁定前 4 位, 仅转换后 8 位的工作模式, 降低了 ADC 的功耗, 提高了 ADC 的采样率, 同时分辨率保持不变. 当模拟输入信号变化较大时, ADC 又可重新回到正常工作模式. 在 1.1 V 的电源电压, 3.6 MS/s 的采样率下, ADC 总功耗为 43 μ W, 品质因数 FOM 为 10.1fJ/(conv. • step).

关键词: 逐次逼近寄存器式模数转换器; 新型 SAR 逻辑; 锁定 ADC 前几位; 低功耗 ADC

An SAR ADC Using A New Type of Logical Algorithm

HUANG Tian-yi^{1,2,4}, WANG Ben-yan³, JING Wei-liang³, SONG Zhi-tang^{1,2,4}, CHEN Bang-ming^{1,2,4}

(1 State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Micro-system and Information Technology, Shanghai 200050, China; 2 School of Physical Science and Technology, Shanghai Tech University, Shanghai 201210, China; 3 Shanghai Xinchu Integrated Circuit Inc., Shanghai 201500, China;4 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A 12-bit successive-approximation-register analog-to-digital converter (SAR ADC) was designed in SMIC 40nm CMOS process. Base on traditional SAR logic, add an algorithm of when analog input signal changes slowly, ADC locking its first 4 bits, and only do last 8 conversions. And when analog input signal has great change, ADC returns to normal working mode. It decreases power consumption and increase sampling rate of ADC, but doesn't change resolution of ADC. Under a 1.1V supply and 3.6 MS/s sampling rate, the total power consumption of ADC is 43 μ W, and the FOM is 10.1fJ/(conv. • step).

Key words: SAR ADC; new type of SAR logic; lock the first few bits of ADC; low power consumption ADC

作者简介:

黄添益男, (1993-), 硕士研究生.研究方向为数模混合集成电路设计.E-mail:514352652@qq.com.

王本艳男, (1981-), 硕士.研究方向为模拟集成电路设计.

景蔚亮男, (1981-), 博士.研究方向为数字集成电路设计及系统级电路设计.

宋志棠男, (1963-), 博士, 研究员.研究方向为 PCM 的产业化.

陈邦明男, (1963-), 博士, 研究员.研究方向为尖端微电子学.