

## 多核处理器片上可重构 Cache 系统及其机制设计

谢 憬, 章 裕, 王 琴, 毛志刚

(上海交通大学 电子信息与电气工程学院, 上海 200240)

**摘 要:** 针对多核处理器规模化数据访存与并行线程交叉数据使用的特性, 提出了一种可重构 Cache 的设计方案, 包含其基本硬件逻辑结构和工作机制; 同时提出了一种可在线动态重构 Cache 结构配置字生成的 DCAC 配置方法。实验证明, 上述设计方案配合在线配置方法工作, 能有效实现多核处理器系统根据不同的应用实时地配置共享 Cache 的组相联度, 使得近处理器内核的 Cache 系统有效提升了命中率, 在硬件开销增加 4.07% 的情况下, 缺失代价平均下降约 16.13%, 从而达到了多核处理器性能优化的目标。

**关键词:** 多核; 可重构; Cache; 配置; 缺失代价

### The Design of Reconfigurable Cache Scheme in

### Multi-core Processor

XIE Jing, ZHANG Yu, WANG Qin, MAO Zhi-gang

(Department of Microelectronics and Nanoscience, Shanghai Jiao Tong University, Shanghai 200240, China)

**Abstract:** To deal with massive and parallel data processing, the paper proposed a design solution of reconfigurable cache for multi-core processor. The work included the design of reconfigurable cache structure and its operation scheme, as well as a reconfiguration context word generation method, named as Dynamic Cache Associativity Configuration (DCAC) method. The experiments verified that with 4.07% overhead in hardware cost, the design solution won a 16.13% reduction of miss penalty in average for the core nearby caches with dynamic cache associativity reconfiguration method.

**Key words:** multi-core; reconfigurable; cache; configuration; miss penalty

作者简介:

谢 憬 男, (1981-), 博士研究生, 助理研究员. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法. E-mail: xie\_xiejing@126.com.

章 裕 男, (1990-), 硕士研究生. 研究方向为大规模集成电路设计、片上处理器体系结构.

王 琴 女, (1975-), 博士, 副教授. 研究方向为大规模集成电路设计、片上处理器体系结构、先进集成电路设计方法.

毛志刚 男, (1962-), 博士, 教授, 博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.