基于 10Gbase-KR 协议的 PCS 层弹性缓冲器设计

杨钞翔，张 春，王自强，王志军，谢 翔，姜汉钧
（清华大学 微电子学研究所，北京 100084）

摘 要： 为了实现高速数据流的跨时钟域传输，根据万兆以太网 10Gbase-KR 协议设计了一款性能稳定的弹性缓冲器，并对设计进行逻辑综合和门级仿真，验证了设计的正确性. 该弹性缓冲器采用常半满控制方式，深度为 16，数据传输速率为 10Gbps，读写时钟频率为 156.25 MHz，通过检测读写地址差值变换情况来比较读写速度，并自动插入或删除 IDLE 字符，以此调节弹性缓冲器读写速度完成时钟频率补偿，实现了高速数据流的跨时钟域正确传输.

关键词： 弹性缓冲器；10Gbase-KR 协议；跨时钟域；频率补偿
中图分类号：TN492
文献标识码：A
文章编号：1000-7180(2018)03-0014-05

Design of Elastic Buffer in Physical Coding Sublayer Based on 10Gbase-KR

YANG Chao-xiang， ZHANG Chun， WANG Zi-qiang， WANG Zhi-jun，
XIE Xiang， JIANG Han-jun
（Institute of Microelectronics， Tsinghua University， Beijing 100084， China ）

Abstract：An elastic buffer is designed to satisfy the need of clock domain crossing of the high-speed data flow based on the 10Gbase-KR ethernet protocol. Then the logical synthesis and gate-level simulation is conducted to demonstrate the design is correct. The elastic buffer is controlled with the normal half-full method， of which the depth is 16， the data transfer rate is 10Gbps， and the read-write clock frequency is 156.25MHz. By detecting the changes of the difference between the reading and writing address， it can make a contrast with the reading and writing speed and automatically insert or delete the IDLE characters. In the way， it can adjust the elastic buffer to realize clock frequency compensation and the clock domain crossing of the high-speed data flow correctly.

Key words：elastic buffer; 10Gbase-KR; clock domain crossing; frequency compensation

作者简介：
杨钞翔 男，（1991-），硕士.研究方向为数字集成电路设计.
张 春（通讯作者）男，（1972-），博士，副研究员.研究方向为数模混合信号集成电路设计、嵌入式微处理器设计.E-mail:zhangchun@tsinghua.edu.cn.
王自强 男，（1975-），博士，副研究员.研究方向为模拟集成电路设计.
王志军 男，（1982-），硕士，工程师.研究方向为数字集成电路设计.
谢 翔 男，（1971-），博士，副研究员.研究方向为 SoC 设计、图像处理.
姜汉钧 男，（1980-），博士，副研究员.研究方向为数模混合集成电路设计.