

一种双模可配置 Delta-Sigma 调制器的设计

闫 宁, 李冬梅, 李国林

(清华大学 电子工程系, 北京 100084)

摘 要: 本论文提出了一种双模可配置 Delta-Sigma ($\Delta \Sigma$) 调制器, 该调制器可配置为两种结构: 适用于低频高精度应用的 3 阶 4 比特量化的结构和适用于高频低精度应用的 2 阶 4 比特量化的结构. 调制器在两种模式下复用了包括开关和电容在内的绝大部分电路模块, 并采用了一种高效的运算放大器(OTA)结构和带有输入失调校准技术(IOS)的比较器结构, 此外还引入了动态元件匹配(DEM)电路来减小电容失配的影响. 本设计使用的是 $0.18 \mu\text{m}$ 的 CMOS 工艺, 调制器在两种模式下分别可以达到 77.1 dB 和 108.9 dB 的峰值信号谐波失真比(SNDR), 对应的输入信号带宽分别为 1.25 MHz 和 39 kHz, 芯片的整体功耗为 12 mW.

关键词: $\Delta \Sigma$ 调制器; 双模可配置; 开关电容; 比较器

Design of a Dual-Mode Configurable Delta-Sigma Modulator

YAN Ning, LI Dong-mei, LI Guo-lin

(Department of Electronic Engineering, Tsinghua University, Beijing 10084, China)

Abstract: This paper presents a dual-mode delta-sigma ($\Delta \Sigma$) modulator. The modulator can be configured for two structures, 3rd-order 4-bit in low-frequency high-resolution applications, and 2nd-order 4-bit in high-frequency low-resolution applications. Most of the circuit parts including the capacitors and switches are shared in both modes. An efficient OTA and comparators with Input Offset Calibration (IOS) technique are adopted. The modulator is fabricated in $0.18 \mu\text{m}$ CMOS technology. It achieves 77.1 dB and 108.9 dB peak signal-to-noise and distortion ratio (SNDR) separately in two modes with 39 kHz and 1.25 MHz input signal bandwidth. The power consumption is about 12 mW.

Key words: delta-sigma modulator; dual-mode configurable; switched capacitor; comparator

作者简介:

闫 宁 男, (1990-), 硕士研究生. 研究方向为数模混合集成电路设计. E-mail: ningyan09@126.com.