应用于 CMOS 图像传感器的 Pipelined SAR 模数转换器设计

李　臻，李冬梅

（清华大学 电子工程系，北京 100084）

摘　要： 设计实现一种应用于 CMOS 图像传感器的 10 bit 模数转换器（ADC），采用基于逐次逼近的新型流水线结构（Pipelined SAR ADC）.提出了一种优化选取其中高精度倍增数模转换器（MDAC）和单位电容值的解析方法.通过采用第一级高精度、半增益 MDAC 和动态比较器等技术提高了整体电路的线性度，并降低了系统功耗.通过对版图面积的优化设计，满足了 CMOS 图像传感器对芯片面积的要求.本设计基于 180 nm CMOS 工艺，仿真结果显示电路实现了 60.37 dB 的信噪失真比（SNDR）和 76.37 dB 的无杂散动态范围（SFDR），有效精度(ENOB)达到了 9.74 bit.ADC 的核心面积仅为 140 μm×280 μm，约为 0.04 mm2.在 2.8 V 电压下，功耗为 9.8 mW.

关键词： 逐次逼近；流水线模数转换器；半增益 MDAC；动态锁存比较器；低功耗；小面积

Design of a Pipelined SAR ADC Used in CMOS Image Sensor

LI Zhen, LI Dong-mei

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract： This paper presents a novel architecture to achieve a 10 bit pipeline ADC based on SAR technique which is used in a CMOS image sensor. A theoretical analysis is proposed to determine the high resolution MDAC and the suitable value of unit capacitor. The high-resolution first stage, the half-gain MDAC and the dynamic comparator are adopted to improve the linearity and to reduce the power. To satisfy the strict area requirement of CMOS image sensor, the layout is carefully designed. This pipelined SAR ADC is designed and fabricated in SMIC 180 nm CMOS technology. Simulation results show the ADC achieves 60.37 dB signal to noise distortion ratio (SNDR) and 76.37 dB spurious free dynamic range（SFDR）. The effective number of bits (ENOB) achieves 9.74 bit. The core area is 140 μm×280 μm, about 0.04 mm2. The power dissipation is 9.8 mW in typical case under 2.8 V supply.

Key words： SAR; pipeline ADC; half-gain MDAC; dynamic latch comparator; low power; small area

作者简介：

李　臻　男，（1990-），硕士研究生.研究方向为数模混合电路设计.E-mail:z-li13@mails.tsinghua.edu.cn

李冬梅　女，（1966-），副教授.研究方向为模拟数模混合电路设计、SOC 集成电路设计技术.