

8B/10B 编码器新型算法结构的设计与实现

王 方¹，周 璐²，张正璠¹

（1 江南大学 物联网工程学院，江苏 无锡 214122；

2 中国电子科技集团公司 第五十八研究所，江苏 无锡 214122）

摘 要：针对目前数据传输对高速率的要求，在保留传统 8B/10B 编码优点的基础上，设计并实现了一种 8B/10B 新型算法结构，完成数据码和特殊码并行编码，编码器通过 Cadence 的 NCVerilog 进行功能验证，完成电路仿真与实现。通过 Synopsys 的 Design Compiler 工具在 SMIC65 nm 工艺下进行综合，该编码器可达到在 1 GHz 工作频率下占用逻辑资源面积为 321 μm^2 ，具有运行速度快，占用逻辑资源小的特点。

关键词：8B/10B；并行编码；游程值；高速通信

Design and Implementation of New Structure 8B/10B Encoder

WANG Fang¹, ZHOU Lu², ZHANG Zheng-fan¹

（1 College of The Internet of Things, Jiangnan University, Wuxi 214122, China;

2 No.58 Research Institute, China Electronics Technology Group Corporation, Wuxi 214122, China）

Abstract: In consideration of the demand of high-speed data communication, a new structure high speed 8B/10B encoder is designed and implemented. The proposed encoder architecture is realized based on pipeline and parallel processing. After being synthesized using 65 nm process, the proposed encoder achieves the operating frequency 1 GHz and occupies the chip area of 321 μm^2 . The results show that it can reduce the area of the circuit and improve the efficiency of encode.

Key words: 8B/10B; parallel encoder; RD; high-speed communication

作者简介：

王 方 女，（1992-），硕士研究生。研究方向为数字集成电路设计。E-mail:285550561@qq.com.

周 璐 女，（1988-），工程师。研究方向为数字集成电路设计。

张正璠 男，（1966-），高级工程师。研究方向为 CMOS 集成电路设计。