一种新型跟踪式逐次逼近模数转换器

于宝亮，冯海刚
（清华大学 深圳研究生院，广东 深圳 518055）

摘 要： 为了降低功耗和复杂度，采用复用量化器结构，而不需要传统结构中的减法和数模转换器模块（DAC），实现一低功耗简单的跟踪式模数转换器.量化器采用 8 bit 电容单调式切换的逐次逼近模数转换器（SAR ADC）.另外为了进一步提高效率，SAR ADC 中的比较器采用时间域比较器实现.经过在 90 nm CMOS 工艺下仿真验证，设计的 ADC 采样速度 16 MHz，8 倍过采样率（OSR）.经过数字滤波处理，输入信号频率为 227 kHz 时，可以实现 59.6 dB 的信噪失真比（SNDR），功耗 28.5 μW，品质因数（FOM）18.4 fJ/step.另外，由于转换过程主要在数字域实现，这种 ADC 便于移植到更先进的工艺，并获得更好的效率.

关键词： 跟踪式模数转换器；逐次逼近模数转换器；时间域比较器；低功耗；高效率

A New Tracking SAR ADC

YU Bao-liang，FENG Hai-gang

(Graduate School at Shenzhen, Tsinghua University, Shenzhen 518055, China)

Abstract： This paper presents a tracking analog-to-digital converter (ADC). By reusing the quantizer, the tracking ADC no long needs subtraction and digital-to-analog (DAC) module that the conventional structure needs. This technique could decrease the power consumption and the chip area. The quantizer adopts 8-bit monotonic switching scheme successive-approximation-register (SAR) ADC. In addition, to further increase efficiency, a time domain comparator is used to replace the analog domain comparator. This ADC is simulated in a 90 nm CMOS technique. It works with 16MHz sampling rate, 8 over sampling rate (OSR). It achieves 59.6dB SNDR for an input signal around 227 KHz with the help of a simple digital low pass filter. Counting in the filter, it consumes 28.5 μW power under 1-Vsupply. The figure-of-merit (FOM) is 18.4 fJ/STEP. In addition, such topology bring us the advantage of easy design migration among technology nodes for seeking greater efficiency improvement.

Key words： tracking ADC; SAR ADC; time domain comparator; low power; high efficiency

作者简介：
于宝亮 男，（1987-），硕士研究生.研究方向为数字模拟混合电路.
冯海刚（通讯作者） 男，（1975-），博士，副教授.研究方向为射频收发机，模拟、数模混合 IC、SOC，以及电磁兼容等.
E-mail：feng.haigang@sz.tsinghua.edu.