65 nm CMOS 工艺时钟发生器的设计与实现

高　辉，刘文平

（西安微电子技术研究所， 陕西 西安 710065）

摘　要：设计了一款应用于高速片上系统（System-on-Chip， SoC）领域的时钟发生器电路.基于 Delta-sigma 调制技术实现了小数分频，同时引入了加抖技术（Dither）以及模数转换器（Digital to Analog Converter， DAC）补偿技术，从而大幅度地抑制了 Delta-sigma 调制引起的量化噪声.基于 65 nm CMOS 工艺完成了电路设计，仿真结果表明，当输出频率为典型应用的 1.2 GHz 时，该电路周期抖动(period jitter)的均方根值(rms)约为 0.656 ps，功耗仅为约 3.824 mW.

关键词：Delta-sigma；模数转换器；抖动；锁相环

Design and Implementation of a 65 nm CMOS Clock Generator

GAO Hui， LIU Wen-ping

(Xi'an Microelectronics Technology Institute， Xi'an 710065， China)

Abstract：This paper introduces a clock generator intended for the use in a high-speed SoC design. Fractional division achieved through the employment of Delta-sigma modulation. Significantly suppression of quantization error， which is caused by the Delta-sigma modulation， obtained through the use of dithering and DAC compensation technology. Circuit design implemented based on a 65 nm CMOS process and the simulation result shows that the period jitter (rms) and the total power are 0.656 ps and 3.824 mW， respectively， when the output frequency is 1.2 GHz of a typical application.

Key words：delta-sigma; DAC; dither; PLL

作者简介：

高　辉　男， (1988-)，硕士研究生.研究方向为锁相环电路设计.E-mail:715450973@qq.com.

刘文平　男，(1957-)，研究员，硕士生导师.研究方向为宇航级模拟集成电路设计.