

2 133 Mb/s DDR3 存储接口的物理设计

裴秉玺, 李振涛, 黄东昌, 郭 阳

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 在 40 nm 工艺下完成了一款高性能 DSP 芯片中 DDR3 存储接口的物理设计, 提出并实现了 DDR3 存储接口的布局规划、时钟树和时序收敛方法. 在布局规划阶段, 综合考虑了面积、时序等因素, 确定了 DDR3 的布图形状大小以及内部宏单元、IO 单元的规划; 在时序收敛阶段, 分析了 DDR3 的时钟和路径结构, 并针对关键路径进行精细的手工规划, 提出并实现了自动化 skew 检查脚本框架, 成功将各个 PHY 域内总线的偏差控制在 40 ps 以内. 实验结果表明, 此设计达到了频率 533 MHz、最大数据率 2 133 Mb/s 的目标.

关键词: [HTF] DDR3; 物理设计; 时钟树; 布局规划

Physical Design of 2 133 Mb/s DDR3 Memory Interface

PEI Bing-xi, LI Zhen-tao, HUANG Dong-chang, GUO Yang

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: In this paper, we finish the physical design of DDR3 memory interface in a high-performance DSP chip base on 40 nm process, and the floorplan, clock tree and timing convergence method of DDR3 memory interface are proposed and implemented. In the floorplan stage, the layout size of DDR3 and the planning of macros, IO units are determined considering the factors such as area and timing. In the timing convergence stage, we analyze the clock and path structure of DDR3, and make precise manual planning for the critical path. we also realized the automation skew check script, controll the bus skew within 40 ps. The experimental results show that the design of this paper achieves the goal of frequency 533 MHz, maximum data rate 2 133 Mb/s.

Key words: DDR3; physical design; clock tree; floorplan

作者简介:

裴秉玺 男, (1994-), 硕士研究生. 研究方向为集成电路物理设计.

E-mail: 1059654424@qq. com.

李振涛 男, (1976-), 博士, 副研究员. 研究方向为集成电路设计.

黄东昌 男, (1988-), 硕士. 研究方向为集成电路物理设计.

郭 阳 男, (1971-), 博士, 研究员. 研究方向为集成电路设计.