

## 一种基于相对延时比模型的全数字时钟电路产生器

孙雅芃<sup>1</sup>, 谢正章<sup>2,3</sup>, 赵慧冬<sup>2,3</sup>, 乔树山<sup>2,3</sup>, 黑勇<sup>2,3</sup>, 张福海<sup>1</sup>  
(<sup>1</sup>南开大学 电子信息与光学工程学院, 天津 300350; <sup>2</sup>中国科学院 微电子研究所, 北京 100029; <sup>3</sup>中国科学院大学, 北京 100049)

**摘要:**设计了一种应用于低功耗领域的基于相对延时比模型的全数字时钟生成器, 解决了环形振荡器产生振荡周期受到工艺偏差、环境温度偏移和供电电压抖动等因素影响的问题. 该时钟生成器由相对延时比生成器、映射译码单元和数字控制振荡器组成. 一款 10~40 MHz 频率可调节的全数字时钟电路生成器基于 smic180 nm CMOS 工艺库, 整个芯片面积 (除 IO pad) 为 1.02 mm<sup>2</sup>. 测试结果表明, 当目标频率设定为 25 MHz, 在供电电压在 1.6~2 V, 环境温度在 0~80°C 变化时, 该时钟生成器的最大输出频率误差为 3%, 输出时钟相位噪声在 1 MHz 频偏处为 -114.82 dBc/Hz, 具有良好的频率稳定性.

**关键词:** 低功耗; 全数字; 时钟生成器; 相对延时比模型

## An All-Digital Clock Generator Using Relative Delay Ratio Modeling

SUN Ya-peng<sup>1</sup>, XIE Zheng-zhang<sup>2,3</sup>, ZHAO Hui-dong<sup>2,3</sup>, QIAO Shu-shan<sup>2,3</sup>,  
HEI Yong<sup>2,3</sup>, ZHANG Fu-hai<sup>1</sup>

(<sup>1</sup> College of Electronic Information and Optical Engineering, Nankai University, Tianjin 300350, China; <sup>2</sup> Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China; <sup>3</sup> University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** Using the relative delay ratio modeling, an all-digital clock generator which is used for low power applications is proposed. It overcomes the effects of process, voltage and temperature (PVT) variations. The clock generator is composed of delay ratio evaluator, mapper block and digitally controlled oscillator. A 10~40MHz adjustable clock generator is implemented in smic 180nm CMOS technology with 1.02mm<sup>2</sup> (excluding IO pad). The measured results show that the worst output frequency error is less than 3% at 25MHz, with 1.6~2V supply voltage, 0~80°C temperature variation. The phase noise of output clock is -114.82dBc/Hz at 1MHz offset with high stability performance.

**Key words:** low power; all digital; clock generator; relative delay ratio modeling

**作者简介:**

孙雅芃 女, (1992-), 硕士研究生. 研究方向为大规模数字集成电路设计.

谢正章 男, (1989-), 硕士. 研究方向为全数字低功耗集成电路设计.

赵慧冬 女, (1984-), 博士. 研究方向为数字集成电路设计、电力线通信系统的调制技术.

乔树山 (通讯作者) 男, (1981-), 博士, 副研究员. 研究方向为数字集成电路设计、无线通信、电力线载波通信. E-mail: qiaoshushan@ime.ac.cn.

黑勇 男, (1974-), 博士, 研究员. 研究方向为无线通信系统中的编码调制技术、低功耗处理器技术和专用集成电路技术.

张福海 男, (1963-), 博士, 副教授. 研究方向为集成电路、传感器与智能系统.