

一种用于无线收发机的 11 bit 150 MS/s Sub-range SAR ADC IP

何秀菊 1, 薛春莹 1, 王 亚 1, 李福乐 1, 张 春 1, 姜学平 2

(1 清华大学 微电子所, 北京 100084; 2 全球能源互联网研究院, 北京 102211)

摘 要: 提出一个用于无线收发机的双通道 11 bit 150 MS/s 逐次逼近型 (SAR) 模数转换器 (ADC). ADC 的两通道都采用 Sub-range SAR 的结构, 电路中使用自举开关采样, 提高电路的线性度; 采用全动态比较器, 以节省功耗; 使用基于等效门控环形振荡器的异步高速 SAR 逻辑, 提高 ADC 的转换速度. 此外, 在 CDAC 中采用分裂电容设计以避免使用导通性不良的中间电压连接开关. 本设计在 Smic 55 nm Low Leakage CMOS 工艺下流片. IP 总面积是 0.3 mm^2 , 核的有效面积是 0.046 mm^2 . 测试结果为: 在供电电压和参考电压为 1.2 V, 采样率为 150 MS/s 的情况下, 单通道消耗 2.04 mA 的电流, SNDR 为 60.9 dB, FOM 值为 17.9 fJ/conv-step. 静态特性 DNL 和 INL 分别为 +0.99/ - 0.81 LSB 和 +2.21/ - 1.37 LSB.

关键词: 模数转换器; sub-range SAR; 自举开关; 低功耗

An 11 bit 150 MS/s Sub-range SAR ADC IP for Wireless Transceiver

HE Xiu-ju 1, XUE Chun-ying 1, WANG Ya 1, LI Fu-le 1, ZHANG Chun 1, JIANG Xue-ping 2
(1 Micro electronic insititument of Tsinghua University, Tsinghua Universing, Beijing 100084, China; 2 Global energy interconnection research institute, Beijing 102211, China)

Abstract: An 11 bit 150 MS/s dual-channel successive-approximation-register (SAR) analog-to-digital converter (ADC) IP for wireless transceiver is presented in this paper. Each channel adopts sub-range SAR architecture, which combines bootstrap switches for high linearity, gate-controlled ring oscillator (GCRO) for high speed and dynamic comparator for low power. In addition, division in Capacitive Digital-to-analog Converter (CDAC) avoids capacitors connecting to common-mode voltage (VCM) and the switch transistors incompletely switching on. The 11 bit 150 MS/s prototype is fabricated in smic 55 nm low leakage CMOS process. The active area of dual-channel ADC IP is 0.35 mm^2 , while the core area is 0.046 mm^2 . A single channel consumes 2.04 mA current and achieves an SNDR of 60.9 dB at 150 MS/s sample rate and 1.2V supply and reference, resulting in a FOM of 17.9 fJ/Conversion-step. Measured DNL and INL are +0.99/ - 0.81 LSB and +2.21/ - 1.37 LSB, respectively.

Key words: ADC; sub-range SAR; bootstrap switch; low power

作者简介:

何秀菊 女, (1991-), 硕士研究生. 研究方向为高速低功耗 ADC.

薛春莹 女, (1990-), 硕士, 工程师. 研究方向为低功耗 SAR ADC.

王 亚 女, (1990-), 硕士, 工程师. 研究方向为高速 SAR ADC.

李福乐 (通讯作者) 男, (1974-), 博士, 副研究员. 研究方向为模拟及数模混合集成电路设计. E-mail: Lifule@mail.tsinghua.edu.cn.

张 春 男, (1972-), 博士, 副研究员. 研究方向为数模混合信号集成电路设计、嵌入式微处理器设计、数字信号处理、射频识别等.

姜学平 男, (1963-), 博士. 研究方向为包括智能芯片、物联网、智能终端和系统的开发和应用.