前导数字并行纠错单元的设计与仿真

魏思捷 1，2，富　坤 1，2　，袁玉倩 1，2　，耿跃华 3
(1 河北工业大学 计算机科学与软件学院,天津 300401；2 河北省大数据计算重点实验室,
天津 300401；3 河北工业大学 电气工程学院，天津 300130)

摘　要：对前导数字预测算法的误差修正逻辑进行分析改进和设计实现，重点对该误差修正纠错模块的逻辑设计进行了分析证明，依据设计的逻辑表达式对其电路进行了设计.同时采用硬件描述语言 VerilogHDL 编程，结果使用 QuartusⅡ进行仿真验证.使用性能分析软件对提出的纠错逻辑方案进行验证,可以看出本纠错单元的电路在电路面积和功耗上都有明显的改善.

关键词：前导数字预测；误差修正逻辑；VerilogHDL；QuartusⅡ

Parallel Correction Unit of Leading Digital's Design and Simulation

WEI Si-jie 1，2，FU Kun 1，2，YUAN Yu-qian 1，2，GENG Yue-hua 3
(1 School of Computer Science & Engineering,Hebei University of Technology, Tianjin 300401, China; 2 Hebei Province Key Laboratory of Big Datacalculation,Tianjin 300401,China;3 School of Electrical Engineering, Hebei University of Technology, Tianjin 300130, China)

Abstract：In this paper, we put forward a novel design of the error correction logic .At the same time, we also design the circuit and programed it with Quartus Ⅱ.At the end of the article we also give the verification and simulation results. The results of the performance analysis tools show that the error correction circuit we put forward in this article improved significantly in the circuit area and the power.

Key words：leading-one prediction； error correction logic；verilogHDL； quartus Ⅱ

作者简介：
魏思捷　女，(1992-)，硕士研究生.研究方向为计算机智能控制、电子设计自动化.
富　坤(通讯作者)　女，(1979-)，博士，副教授.研究方向为可重构计算、计算机系统结构.
E-mail：fukun@hebut.edu.cn.