

# 一种全负载稳定的高 PSRR LDO 的设计

张 龙 1, 来强涛 2, 刘生有 2, 郭桂良 2, 戴宇杰 1

(1 南开大学 电子信息与光学工程学院, 天津 300071; 2 中国科学院 微电子研究所, 北京 100029)

**摘要:** 提出了一种高电源纹波抑制比的低压差线性稳压器.该低压差线性稳压器通过提高带隙基准的电源抑制比以达到提高 LDO (低压差线性稳压器) 低频电源纹波抑制的能力.在 TSMC 0.18  $\mu\text{m}$  CMOS 工艺下进行了仿真验证, 仿真结果表明,该 LDO 最大负载电流可以达到 80 mA,当负载电流在 0~80 mA 范围内变化时,开环相位裕度均大于  $64^\circ$ , 证明了低压差线性稳压器的高稳定性.当负载电流从 0 mA 跳变到 80 mA 时,系统的输出电压过冲仅为 15 mV,环路响应时间仅为 0.5  $\mu\text{s}$ .当负载电流为 80 mA,测得 10 kHz 时的电源纹波抑制比为-60.82 dB, 100 kHz 时 LDO 的电源纹波抑制比为-57.66 dB.

**关键词:** 线性稳压器; 电源纹波抑制比; 片上系统

## Design of a Full Load Stability High-PSRR Low Dropout Regulator

ZHANG Long 1, LAI Qiang-tao 2, LIU Sheng-you 2, GUO Gui-liang 2, DAI Yu-jie 1

(1 School of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China; 2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** An improved power supply ripple rejection (PSRR) low drop-out (LDO) voltage regulator circuit is proposed. The LDO improves the ability of power supply ripple rejection ratio by improving power supply rejection ratio of the bandgap reference. This approach is tested in TSMC 0.18  $\mu\text{m}$  COMS process. The results show that the maximum load current is 80 mA, and the open-loop phase margin is not less than  $64^\circ$  at a load current from 0 to 80 mA which proves the high stability of LDO. In addition, the circuit achieves a transient response with 15 mV voltage variation and 0.5  $\mu\text{s}$  settling time for an 80 mA load step. The PSRR at 10 kHz is -60.82 dB and 100kHz is 57.66 dB.

**Key words:** LDO; PSRR; SoC

**作者简介:**

张 龙 男, (1989-), 硕士研究生.研究方向模拟集成电路设计.E-mail:zhanglong1127@163.com.

来强涛 男, (1981-), 助理研究员.研究方向为模拟/射频集成电路设计.

刘生有 男, (1984-), 助理研究员.研究方向为模拟/射频集成电路.

郭桂良 男, (1981-), 副研究员.研究方向为模拟/射频集成电路设计.

戴宇杰 男, (1961-), 研究员, 博士生导师.研究方向为纳米级 CMOS 工艺 SOC 设计技术、数模混合集成电路、模拟集成电路.