

一种基于 UVM 的混合信号验证环境

耿 睿¹, 王小力²

(1 西安交通大学 电子与信息工程学院, 陕西 西安, 710049; 2 西安交通大学 理学院, 陕西 西安, 710049)

摘 要: 面向一款 MCU 中的 Radio 模块子系统, 介绍了一种混合信号的验证环境, 利用 UVM 验证方法学的灵活便捷, 将主要为数字电路服务的 UVM 验证平台扩展到混合信号验证方面, 并引入模拟断言机制, 完成验证组件. 验证结果表明, UVM 作为一种验证方法同样适用于混合信号的验证工作, 并能有效发挥其优势; 同时, 利用 Verilog-AMS 为模拟电路提供的多种建模方案加强了验证可靠性.

关键词: 混合信号; UVM; Verilog-AMS; 模拟断言; 可靠性

An UVM Based Mixed-signal Verification Environment

GENG Rui¹, WANG Xiao-li²

(1 School of Electronics And Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China;

2 School of Science, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: This paper introduced a mixed-signal verification environment based on UVM, a flexible and convenient verification methodology which was usually used in digital verification task. The verification component is completed with integrating analog assertions. The verification result shows that UVM well meets the needs of mixed-signal verification and shows great performance. At the same time, multi selectable Verilog-AMS models can enhance reliability.

Key words: mixed-signal; UVM; Verilog-AMS; analog assertion; reliability

作者简介:

邹 陈 女, (1990-), 硕士研究生. 研究方向为研究数字集成电路设计. E-mail: sandra@mail.edu.cn.

黄 鲁 男, (1961-), 副教授, 硕士生导师. 研究方向为混合信号 IC 芯片设计.

张步青 男, (1981-), 博士. 研究方向为模拟与射频集成电路设计.